

**ΤΕΧΝΟΛΟΓΙΚΟ ΕΚΠΑΙΔΕΥΤΙΚΟ ΙΔΡΥΜΑ (Τ.Ε.Ι.) ΛΑΜΙΑΣ
ΣΧΟΛΗ ΤΕΧΝΟΛΟΓΙΚΩΝ ΕΦΑΡΜΟΓΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΗΣ
ΤΟΜΕΑΣ ΥΠΟΔΟΜΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ**

**ΨΗΦΙΑΚΑ ΗΛΕΚΤΡΟΝΙΚΑ
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ**

Δρ. ΑΣΗΜΑΚΗΣ ΝΙΚΟΛΑΟΣ

ΛΑΜΙΑ ΣΕΠΤΕΜΒΡΙΟΣ 2007



ΠΕΡΙΕΧΟΜΕΝΑ

ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ

Η ΠΛΑΚΕΤΑ ΕΡΓΑΣΤΗΡΙΟΥ LT345

**ΥΛΟΠΟΙΗΣΗ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ
ΜΕ ΧΡΗΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ**

**ΣΧΕΔΙΑΣΗ ΚΑΙ ΠΡΟΣΟΜΟΙΩΣΗ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ
ΜΕ ΧΡΗΣΗ ΤΟΥ ΠΑΚΕΤΟΥ ΛΟΓΙΣΜΙΚΟΥ DESIGNLAB**

ΒΙΒΛΙΟΓΡΑΦΙΑ

ΠΑΡΑΡΤΗΜΑ

ΦΥΛΛΑ ΔΕΔΟΜΕΝΩΝ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ ΤΗΣ ΣΕΙΡΑΣ 74



ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ

ΠΕΡΙΕΧΟΜΕΝΑ

1. ΟΙ ΒΑΣΙΚΕΣ ΛΟΓΙΚΕΣ ΠΥΛΕΣ NOT, AND ΚΑΙ OR
2. ΛΟΓΙΚΕΣ ΣΥΝΑΡΤΗΣΕΙΣ
3. ΟΙ ΛΟΓΙΚΕΣ ΠΥΛΕΣ NAND ΚΑΙ NOR
4. ΛΟΓΙΚΕΣ ΠΥΛΕΣ ΠΟΛΛΑΠΛΩΝ ΕΙΣΟΔΩΝ
5. ΟΙ ΛΟΓΙΚΕΣ ΠΥΛΕΣ XOR ΚΑΙ XNOR
6. ΑΠΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΜΕ ΧΑΡΤΕΣ KARNAUGH
7. ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ
8. ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ ΔΥΟ ΕΙΣΟΔΩΝ
9. ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ ΠΟΛΛΑΠΛΩΝ ΕΙΣΟΔΩΝ
10. ΔΥΑΔΙΚΗ ΠΡΟΣΘΕΣΗ ΚΑΙ ΑΦΑΙΡΕΣΗ
11. ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ - ΑΠΟΠΛΕΚΤΕΣ
12. ΚΩΔΙΚΟΠΟΙΗΤΕΣ
13. ΠΟΛΥΠΛΕΚΤΕΣ
14. FLIP-FLOPS
15. ΚΑΤΑΧΩΡΗΤΕΣ
16. ΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ
17. ΑΠΑΡΙΘΜΗΤΕΣ
18. ΑΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΜΕ ΒΡΟΓΧΟ ΑΝΑΔΡΑΣΗΣ
19. ΑΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΜΕ ΜΑΝΤΑΛΩΤΕΣ
20. ΕΦΑΡΜΟΓΕΣ



ΕΡΓΑΣΤΗΡΙΑΣΚΗ ΑΣΚΗΣΗ 1
ΟΙ ΒΑΣΙΚΕΣ ΛΟΓΙΚΕΣ ΠΥΛΕΣ NOT, AND ΚΑΙ OR

I. Βασική Θεωρία

Η δίτιμη **Άλγεβρα Boole** είναι μία αλγεβρική δομή ορισμένη στο σύνολο τιμών $B=\{0,1\}$ με δύο τελεστές $+$ (OR) και \cdot (AND) με τους ακόλουθους Πίνακες Αληθείας:

x	y	x+y	x·y
0	0	0	0
0	1	1	0
1	0	1	0
1	1	1	1

Τα **αξιώματα** της Άλγεβρας Boole (αξιώματα Huntington) είναι:

1. Κλειστότητα ως προς τις πράξεις
 - α. Κλειστότητα ως προς την πράξη $+$ (OR)
 - β. Κλειστότητα ως προς την πράξη \cdot (AND)
2. Ουδέτερα στοιχεία πράξεων
 - α. $x+0=0+x=x$
 - β. $x\cdot 1=1\cdot x=x$
3. Αντιμεταθετική ιδιότητα
 - α. $x+y=y+x$
 - β. $x\cdot y=y\cdot x$
4. Επιμεριστική ιδιότητα
 - α. $x\cdot(y+z)=x\cdot y+x\cdot z$
 - β. $x+(y\cdot z)=(x+y)\cdot(x+z)$
5. Μοναδικό Συμπλήρωμα (NOT)
 - α. $x+x'=1$
 - β. $x\cdot x'=0$
6. Υπάρχουν τουλάχιστον δύο στοιχεία του συνόλου B που είναι διαφορετικά μεταξύ τους

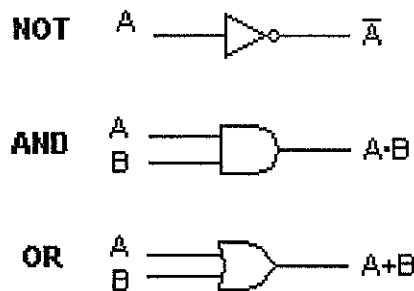
Τα **θεωρήματα** της Άλγεβρας Boole είναι:

1. α. $x+x=x$
β. $x\cdot x=x$
2. α. $x+1=1$
β. $x\cdot 0=0$
3. $(x')'=x$
4. Προσεταιριστική ιδιότητα
 - α. $x+y+z=x+(y+z)=(x+y)+z$
 - β. $x\cdot y\cdot z=x\cdot(y\cdot z)=(x\cdot y)\cdot z$
5. Θεώρημα απορρόφησης
 - α. $x+x\cdot y=x$
 - β. $x\cdot(x+y)=x$
6. Θεωρήματα De Morgan
 - α. $(x+y)'=x'\cdot y'$
 - β. $(x\cdot y)'=x'+y'$

Οι βασικές πράξεις της Άλγεβρας Boole είναι οι πράξεις NOT, AND και OR. Στα ψηφιακά κυκλώματα οι τρεις αυτές πράξεις εκτελούνται από κυκλώματα που ονομάζονται **λογικές πύλες**. Κάθε πύλη παίρνει το όνομά της από την πράξη που εκτελεί. Έτσι έχουμε τις πύλες NOT, AND και OR. Η πύλη NOT έχει μία είσοδο και μία έξοδο, ενώ οι άλλες δύο (ή περισσότερες) εισόδους και μία έξοδο. Από την έξοδο κάθε πύλης μπορούν να τροφοδοτηθούν μία ή περισσότερες άλλες πύλες.

Οι εισοδοί και οι εξοδοί των πυλών μπορούν να πάρουν δύο μόνο τιμές, το λογικό "1" και το λογικό "0". Στη *Θετική Λογική* στο λογικό "1" αντιστοιχεί το υψηλότερο δυναμικό - High Level (π.χ. 5V), που συμβολίζεται και με το γράμμα H, ενώ στο λογικό "0" αντιστοιχεί το χαμηλότερο δυναμικό - Low Level (π.χ. 0V) που συμβολίζεται και με το γράμμα L. Στην πράξη το λογικό "1" αντιστοιχεί σε τάσεις 3.5V - 5V, ενώ το λογικό "0" σε τάσεις 0V - 1.5V.

Τα σύμβολα των πυλών NOT, AND δύο εισόδων και OR δύο εισόδων παρουσιάζονται στο παρακάτω σχήμα:



Τα σύμβολα των πυλών NOT, AND και OR

Οι πίνακες αληθείας των πυλών NOT, AND δύο εισόδων και OR δύο εισόδων παρουσιάζονται στον παρακάτω πίνακα:

Οι πίνακες αληθείας των πυλών NOT, AND και OR

NOT	
x	x'
0	1
1	0

AND		
x	y	x·y
0	0	0
0	1	0
1	0	0
1	1	1

OR		
x	y	x+y
0	0	0
0	1	1
1	0	1
1	1	1

Η πύλη NOT δίνει έξοδο "1" όταν η είσοδός της **δεν** είναι "1".

Η πύλη AND δίνει έξοδο "1" όταν **όλες** οι εισοδοί της είναι "1".

Η πύλη OR δίνει έξοδο "1" όταν **τουλάχιστον** μία από τις εισόδους της είναι "1".

II. Πλακέτα Εργαστηρίου

1. Λογική πύλη NOT

Να γίνει έλεγχος των λογικών πυλών NOT της πλακέτας εργαστηρίου και να συμπληρώσετε τον πίνακα αληθείας.

2. Λογική πύλη AND δύο (2) εισόδων

Να γίνει έλεγχος των λογικών πυλών AND δύο (2) εισόδων της πλακέτας εργαστηρίου και να συμπληρώσετε τον πίνακα αληθείας.

3. Λογική πύλη OR δύο (2) εισόδων

Να γίνει έλεγχος των λογικών πυλών δύο OR (2) εισόδων της πλακέτας εργαστηρίου και να συμπληρώσετε τον πίνακα αληθείας.

4. Λογική πύλη AND δύο (2) εισόδων με βραχυκυκλωμένες εισόδους

Να βραχυκυκλώσετε τις εισόδους μίας λογικής πύλης AND δύο (2) εισόδων και να επιβεβαιώσετε το θεώρημα της Άλγεβρας Boole:

$$x \cdot x = x$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	A·A

III. Ολοκληρωμένα Κυκλώματα

1. Λογική πύλη NOT

Να γίνει έλεγχος των λογικών πυλών NOT του ολοκληρωμένου κυκλώματος 7404 και να συμπληρώσετε τον πίνακα αληθείας.

2. Λογική πύλη AND δύο (2) εισόδων

Να γίνει έλεγχος των λογικών πυλών AND του ολοκληρωμένου κυκλώματος 7408 και να συμπληρώσετε τον πίνακα αληθείας.

3. Λογική πύλη OR δύο (2) εισόδων

Να γίνει έλεγχος των λογικών πυλών OR του ολοκληρωμένου κυκλώματος 7432 και να συμπληρώσετε τον πίνακα αληθείας.

4. Λογική πύλη OR δύο (2) εισόδων με βραχυκυκλωμένες εισόδους

Να βραχυκυκλώσετε τις εισόδους μίας λογικής πύλης OR δύο (2) εισόδων του ολοκληρωμένου κυκλώματος 7432 και να επιβεβαιώσετε το θεώρημα της Άλγεβρας Boole:

$$x + x = x$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	A+A

IV. Πακέτο Λογισμικού

1. Λογική πύλη NOT

Να σχεδιάσετε μία πύλη NOT.

Να σχεδιάσετε την κυματομορφή εισόδου και την κυματομορφή εξόδου.

2. Λογική πύλη AND δύο (2) εισόδων

Να σχεδιάσετε μία πύλη AND δύο (2) εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

3. Λογική πύλη OR δύο (2) εισόδων

Να σχεδιάσετε μία πύλη OR δύο (2) εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

4. Λογικές πύλες NOT συνδεδεμένες σε σειρά

Να σχεδιάσετε δύο πύλες NOT συνδεδεμένες σε σειρά.

Να σχεδιάσετε την κυματομορφή εισόδου και την κυματομορφή εξόδου.

Να επιβεβαιώσετε το θεώρημα της Άλγεβρας Boole:

$$(x')' = x$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	A'	(A')'

ΕΡΓΑΣΤΗΡΙΑΣΚΗ ΑΣΚΗΣΗ 2 ΛΟΓΙΚΕΣ ΣΥΝΑΡΤΗΣΕΙΣ

I. Βασική Θεωρία

Μία **λογική συνάρτηση** n μεταβλητών είναι μία έκφραση της Άλγεβρας Boole που περιλαμβάνει τις n μεταβλητές εισόδου, τους τελεστές των πράξεων της Άλγεβρας Boole και μία μεταβλητή εξόδου που είναι συνάρτηση των μεταβλητών εισόδου.

Ο τελεστής \cdot (AND) μπορεί να παραλείπεται στις λογικές συναρτήσεις (για παράδειγμα, $x \cdot y = xy$). Η προτεραιότητα των τελεστών στις λογικές συναρτήσεις είναι: $()$, NOT, AND, OR.

Η κάθε μία από τις n μεταβλητές εισόδου μπορεί να πάρει δύο μόνο τιμές, το λογικό "1" και το λογικό "0". Επομένως, οι δυνατοί συνδυασμοί των μεταβλητών εισόδου είναι 2^n . Για κάθε συνδυασμό των μεταβλητών εισόδου, η μεταβλητή εξόδου παίρνει μία μόνο τιμή: το λογικό "1" ή το λογικό "0". Ο **πίνακας αληθείας** της λογικής συνάρτησης περιγράφει αυτή τη σχέση εισόδων-εξόδου.

Παράδειγμα

Η λογική συνάρτηση Y τριών μεταβλητών A , B και C έχει τον ακόλουθο πίνακα αληθείας:

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Ο πίνακας αληθείας έχει $8 (=2^3)$ συνδυασμούς των 3 μεταβλητών εισόδου.

Από τον πίνακα αληθείας προκύπτει ότι η συνάρτηση εξόδου είναι $Y=1$ όταν $A=0$ και (AND) $B=0$ και (AND) $C=1$

ή (OR)

$A=1$ και (AND) $B=1$ και (AND) $C=0$

Επομένως, η λογική συνάρτηση Y γράφεται:

$$Y = A'B'C + ABC'$$

Το κύκλωμα που υλοποιεί τη λογική συνάρτηση αποτελείται από λογικές πύλες NOT, AND και OR που συνδέονται μεταξύ τους τηρώντας την προτεραιότητα των τελεστών (πραγματοποιούνται δηλαδή πρώτα οι πράξεις NOT, στη συνέχεια οι πράξεις AND και τέλος οι πράξεις OR).

Οι είσοδοι της λογικής συνάρτησης λαμβάνονται από διακόπτες εισόδου (switches) και η έξοδος της λογικής συνάρτησης κατευθύνεται σε ενδείκτη εξόδου (led).

II. Πλακέτα Εργαστηρίου

1. Θεώρημα απορρόφησης

Η λογική συνάρτηση Y δύο μεταβλητών A και B έχει την ακόλουθη μορφή:

$$Y=A+AB$$

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NOT και πύλες AND και OR δύο εισόδων.

Να επιβεβαιώσετε το θεώρημα απορρόφησης της Άλγεβρας Boole:

$$x+x \cdot y=x$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	A+AB

2. Επιμεριστική ιδιότητα

Δίνονται δύο λογικές συναρτήσεις $Y1$ και $Y2$ τριών μεταβλητών A , B και C :

$$Y1=A+BC$$

$$Y2=(A+B)(A+C)$$

Να σχεδιάσετε και να υλοποιήσετε τα κυκλώματα χρησιμοποιώντας μόνο πύλες NOT και πύλες AND και OR δύο εισόδων.

Να επιβεβαιώσετε την επιμεριστική ιδιότητα της Άλγεβρας Boole:

$$x+(y \cdot z)=(x+y) \cdot (x+z)$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	A+BC	(A+B)(A+C)

III. Ολοκληρωμένα Κυκλώματα

1. Επιμεριστική ιδιότητα

Δίνονται δύο λογικές συναρτήσεις Y_1 και Y_2 τριών μεταβλητών A , B και C :

$$Y_1 = A(B+C)$$

$$Y_2 = AB+AC$$

Να σχεδιάσετε και να υλοποιήσετε τα κυκλώματα χρησιμοποιώντας τα ολοκληρωμένα κυκλώματα 7408 και 7432.

Να επιβεβαιώσετε την επιμεριστική ιδιότητα της Άλγεβρας Boole:

$$x \cdot (y+z) = x \cdot y + x \cdot z$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	$A(B+C)$	$AB+AC$

2. Λογική συνάρτηση

Η λογική συνάρτηση Y τριών μεταβλητών A , B και C έχει την ακόλουθη μορφή:

$$Y = A + B \cdot C$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα ολοκληρωμένα κυκλώματα 7404, 7408 και 7432.

Να γίνει έλεγχος της λειτουργίας του κυκλώματος (να επιβεβαιώσετε τον πίνακα αληθείας).

IV. Πακέτο Λογισμικού

1. Λογική συνάρτηση τριών μεταβλητών

Η λογική συνάρτηση Y τριών μεταβλητών A , B και C έχει την ακόλουθη μορφή:

$$Y=AB+B'C$$

Να σχεδιάσετε το κύκλωμα και τις κυματομορφές εισόδου-εξόδου.

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

2. Θεώρημα απορρόφησης

Η λογική συνάρτηση Y δύο μεταβλητών A και B έχει την ακόλουθη μορφή:

$$Y=A(A+B)$$

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NOT και πύλες AND και OR δύο εισόδων.

Να επιβεβαιώσετε το θεώρημα απορρόφησης της Άλγεβρας Boole:

$$x \cdot (x+y) = x$$

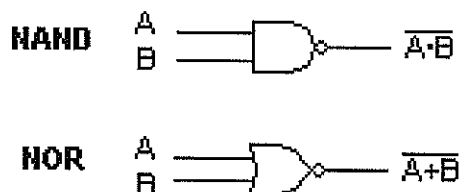
Να συμπληρώσετε τον πίνακα αληθείας:

A	B	$A(A+B)$

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 3 ΟΙ ΛΟΓΙΚΕΣ ΠΥΛΕΣ NAND ΚΑΙ NOR

I. Βασική Θεωρία

Τα σύμβολα των πυλών NAND δύο εισόδων και NOR δύο εισόδων παρουσιάζονται στο παρακάτω σχήμα:



Τα σύμβολα των πυλών NAND και NOR

Οι πίνακες αληθείας των πυλών NAND δύο εισόδων και NOR δύο εισόδων παρουσιάζονται στον παρακάτω πίνακα:

Οι πίνακες αληθείας των πυλών NAND και NOR

NAND		
x	y	$(xy)'$
0	0	1
0	1	1
1	0	1
1	1	0

NOR		
x	y	$(x+y)'$
0	0	1
0	1	0
1	0	0
1	1	0

Η λογική πύλη NAND είναι μία πύλη AND που ακολουθείται από μία πύλη NOT.
 Η πύλη NAND δίνει έξοδο "1" όταν **τουλάχιστον** μία από τις εισόδους της είναι "0".
 Η λογική πύλη NOR είναι μία πύλη OR που ακολουθείται από μία πύλη NOT.
 Η πύλη NOR δίνει έξοδο "1" όταν **όλες** οι εισοδοί είναι "0".

II. Πλακέτα Εργαστηρίου

1. Λογική πύλη NAND δύο (2) εισόδων

Να υλοποιήσετε μία πύλη NAND δύο (2) εισόδων χρησιμοποιώντας μία πύλη NAND τεσσάρων (4) εισόδων που διαθέτει η πλακέτα εργαστηρίου. Να βραχυκυκλώσετε ανά δύο τις τέσσερις εισόδους της πύλης NAND τεσσάρων (4) εισόδων.

Να γίνει έλεγχος της λογικής πύλης NAND δύο (2) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

2. Λογική πύλη NOR δύο (2) εισόδων

Να υλοποιήσετε μία πύλη NOR δύο (2) εισόδων χρησιμοποιώντας μία πύλη NOR τεσσάρων (4) εισόδων που διαθέτει η πλακέτα εργαστηρίου. Να βραχυκυκλώσετε ανά δύο τις τέσσερις εισόδους της πύλης NOR τεσσάρων (4) εισόδων.

Να γίνει έλεγχος της λογικής πύλης NOR δύο (2) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

III. Ολοκληρωμένα Κυκλώματα

1. Λογική πύλη NAND δύο (2) εισόδων

Να γίνει έλεγχος των λογικών πυλών NAND του ολοκληρωμένου κυκλώματος 7400 και να συμπληρώσετε τον πίνακα αληθείας.

2. Θεώρημα De Morgan

Χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7400 να σχεδιάσετε και να υλοποιήσετε το κύκλωμα

$$Y1=(AB)'$$

Χρησιμοποιώντας τα ολοκληρωμένα κυκλώματα 7404 και 7432 να σχεδιάσετε και να υλοποιήσετε το κύκλωμα

$$Y2=A'+B'$$

Να επιβεβαιώσετε το θεώρημα De Morgan:

$$(x.y)'=x'+y'$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	$(AB)'$	$A'+B'$

IV. Πακέτο Λογισμικού

1. Λογική πύλη NOR δύο (2) εισόδων

Να σχεδιάσετε μία πύλη NOR δύο (2) εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

2. Θεώρημα De Morgan

Να σχεδιάσετε τα κυκλώματα

$$Y1=(A+B)'$$

$$Y2=A'B'$$

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να επιβεβαιώσετε το θεώρημα De Morgan:

$$(x+y)'=x'.y'$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	$(A+B)'$	$A'B'$

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 4
ΛΟΓΙΚΕΣ ΠΥΛΕΣ ΠΟΛΛΑΠΛΩΝ ΕΙΣΟΔΩΝ

I. Βασική Θεωρία

Οι πύλες AND και OR υπάρχουν και με τη μορφή πολλαπλών εισόδων.

Οι πύλες AND και OR πολλαπλών εισόδων μπορούν να υλοποιηθούν συνδέοντας πολλές αντίστοιχες πύλες δύο εισόδων, γιατί ισχύει η προσεταιριστική ιδιότητα:

$$x+y+z=x+(y+z)=(x+y)+z$$

$$x \cdot y \cdot z=x \cdot (y \cdot z)=(x \cdot y) \cdot z$$

Ενδεικτικά, ο πίνακας αληθείας της λογικής πύλης AND τριών (3) εισόδων είναι:

A	B	C	ABC
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Οι πύλες NAND και NOR υπάρχουν και με τη μορφή πολλαπλών εισόδων.

Οι πύλες NAND και NOR πολλαπλών εισόδων μπορούν να υλοποιηθούν συνδέοντας μία πύλη NOT στην έξοδο των αντίστοιχων πυλών AND και OR πολλαπλών εισόδων.

Ενδεικτικά, ο πίνακας αληθείας της λογικής πύλης NOR τεσσάρων (4) εισόδων είναι:

A	B	C	D	(A+B+C+D)'
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

II. Πλακέτα Εργαστηρίου

1. Λογική πύλη AND τριών (3) εισόδων

Να υλοποιήσετε μία πύλη AND τριών (3) εισόδων χρησιμοποιώντας μία πύλη AND τεσσάρων (4) εισόδων που διαθέτει η πλακέτα εργαστηρίου. Να βραχυκυκλώσετε δύο από τις τέσσερις εισόδους της πύλης AND τεσσάρων (4) εισόδων.

Να γίνει έλεγχος της λογικής πύλης AND τριών (3) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

2. Λογική πύλη OR τεσσάρων (4) εισόδων

Να υλοποιήσετε μία πύλη OR τεσσάρων (4) εισόδων που διαθέτει η πλακέτα εργαστηρίου.

Να γίνει έλεγχος της λογικής πύλης OR τεσσάρων (4) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

3. Λογική πύλη NAND τριών (3) εισόδων

Να υλοποιήσετε μία πύλη NAND τριών (3) εισόδων χρησιμοποιώντας μία πύλη NAND τεσσάρων (4) εισόδων που διαθέτει η πλακέτα εργαστηρίου. Να βραχυκυκλώσετε δύο από τις τέσσερις εισόδους της πύλης NAND τεσσάρων (4) εισόδων.

Να γίνει έλεγχος της λογικής πύλης NAND τριών (3) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

4. Λογική πύλη NOR τεσσάρων (4) εισόδων

Να υλοποιήσετε μία πύλη NOR τεσσάρων (4) εισόδων που διαθέτει η πλακέτα εργαστηρίου.

Να γίνει έλεγχος της λογικής πύλης NOR τεσσάρων (4) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

5. Προσεταιριστική ιδιότητα

Να σχεδιάσετε και να υλοποιήσετε τα κυκλώματα

$$Y1=A+B+C$$

$$Y2=A+(B+C)$$

$$Y3=(A+B)+C$$

Να επιβεβαιώσετε την προσεταιριστική ιδιότητα:

$$x+y+z=x+(y+z)=(x+y)+z$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	A+B+C	A+(B+C)	(A+B)+C

III. Ολοκληρωμένα Κυκλώματα

1. Λογική πύλη AND τριών (3) εισόδων

Να γίνει έλεγχος των λογικών πυλών AND του ολοκληρωμένου κυκλώματος 7411 και να συμπληρώσετε τον πίνακα αληθείας.

2. Λογική πύλη NAND τριών (3) εισόδων

Να γίνει έλεγχος των λογικών πυλών NAND του ολοκληρωμένου κυκλώματος 7410 και να συμπληρώσετε τον πίνακα αληθείας.

3. Λογική πύλη NOR τριών (3) εισόδων

Να γίνει έλεγχος των λογικών πυλών NOR του ολοκληρωμένου κυκλώματος 7427 και να συμπληρώσετε τον πίνακα αληθείας.

4. Λογική πύλη NAND τεσσάρων (4) εισόδων

Να γίνει έλεγχος των λογικών πυλών NAND του ολοκληρωμένου κυκλώματος 7420 και να συμπληρώσετε τον πίνακα αληθείας.

5. Λογική πύλη NAND οκτώ (8) εισόδων

Να γίνει έλεγχος της λογικής πύλης NAND του ολοκληρωμένου κυκλώματος 7430.

6. Προσεταιριστική ιδιότητα

Χρησιμοποιώντας τα ολοκληρωμένα κυκλώματα 7408 και 7411 να σχεδιάσετε τα κυκλώματα:

$$Y1=A \cdot B \cdot C$$

$$Y2=A \cdot (B \cdot C)$$

$$Y3=(A \cdot B) \cdot C$$

Να επιβεβαιώσετε την προσεταιριστική ιδιότητα:

$$x \cdot y \cdot z = x \cdot (y \cdot z) = (x \cdot y) \cdot z$$

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	$A \cdot B \cdot C$	$A \cdot (B \cdot C)$	$(A \cdot B) \cdot C$

IV. Πακέτο Λογισμικού

1. Λογική πύλη NAND τεσσάρων (4) εισόδων

Να σχεδιάσετε μία πύλη NAND τεσσάρων (4) εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

2. Λογική πύλη NAND τεσσάρων (4) εισόδων με πύλες AND και NOT

Να σχεδιάσετε μία πύλη NAND τεσσάρων (4) εισόδων.

Να σχεδιάσετε μία πύλη AND τεσσάρων (4) εισόδων με μία πύλη NOT στην έξοδο.

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να επιβεβαιώσετε ότι μία πύλη NAND τεσσάρων εισόδων μπορεί να υλοποιηθεί συνδέοντας μία πύλη NOT στην έξοδο μίας πύλης AND τεσσάρων εισόδων.

3. Η προσεταιριστική ιδιότητα δεν ισχύει για την πύλη NAND

Να σχεδιάσετε τα κυκλώματα

$$Y1=(ABC)'$$

$$Y2=((AB)'C)'$$

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να επιβεβαιώσετε ότι

$$Y1 \neq Y2$$

δηλαδή ότι η προσεταιριστική ιδιότητα δεν ισχύει για την πύλη NAND.

4. Η προσεταιριστική ιδιότητα δεν ισχύει για την πύλη NOR

Να σχεδιάσετε τα κυκλώματα

$$Y1=(A+B+C)'$$

$$Y2=((A+B)'+C)'$$

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να επιβεβαιώσετε ότι

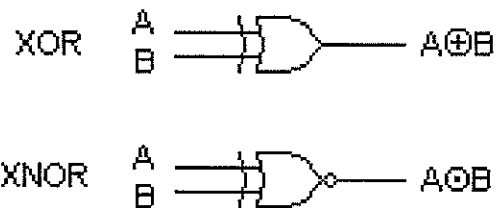
$$Y1 \neq Y2$$

δηλαδή ότι η προσεταιριστική ιδιότητα δεν ισχύει για την πύλη NOR.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 5 ΟΙ ΛΟΓΙΚΕΣ ΠΥΛΕΣ XOR ΚΑΙ XNOR

I. Βασική Θεωρία

Τα σύμβολα των πυλών XOR δύο εισόδων και XNOR δύο εισόδων παρουσιάζονται στο παρακάτω σχήμα:



Τα σύμβολα των πυλών XOR και XNOR

Οι πίνακες αληθείας των πυλών XOR και XNOR δύο εισόδων παρουσιάζονται στον παρακάτω πίνακα:

Οι πίνακες αληθείας των πυλών XOR και XNOR

XOR		
x	y	$x \oplus y$
0	0	0
0	1	1
1	0	1
1	1	0

XNOR		
x	y	$x \odot y$
0	0	1
0	1	0
1	0	0
1	1	1

Η πύλη XOR δίνει έξοδο "1" όταν οι εισοδοί της είναι σε **διαφορετική** κατάσταση.

Η πύλη XNOR δίνει έξοδο "1" όταν οι εισοδοί της είναι στην **ίδια** κατάσταση.

Οι λογικές συναρτήσεις των πυλών XOR και XNOR δύο εισόδων είναι:

$$x \oplus y = xy' + x'y$$

$$(x \odot y)' = xy + x'y'$$

Οι λογικές συναρτήσεις των πυλών XOR και XNOR δύο εισόδων συνδέονται με τη σχέση:

$$x \oplus y = (x \odot y)'$$

II. Πλακέτα Εργαστηρίου

1. Λογική πύλη XOR δύο (2) εισόδων

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα μίας πύλης XOR δύο εισόδων:

$$x \oplus y = xy' + x'y$$

Να γίνει έλεγχος της λογικής πύλης XOR δύο (2) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

2. Λογική πύλη XNOR δύο (2) εισόδων

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα μίας πύλης XNOR δύο εισόδων:

$$x \cdot y = xy + x'y'$$

Να γίνει έλεγχος της λογικής πύλης XNOR δύο (2) εισόδων και να συμπληρώσετε τον πίνακα αληθείας.

III. Ολοκληρωμένα Κυκλώματα

1. Λογική πύλη XOR δύο (2) εισόδων

Να γίνει έλεγχος των λογικών πυλών XOR του ολοκληρωμένου κυκλώματος 7486 και να συμπληρώσετε τον πίνακα αληθείας.

2. Λογική πύλη XNOR δύο (2) εισόδων

Να γίνει έλεγχος των λογικών πυλών XNOR του ολοκληρωμένου κυκλώματος 74266 και να συμπληρώσετε τον πίνακα αληθείας.

Να επιβεβαιώσετε ότι οι λογικές συναρτήσεις των πυλών XOR και XNOR δύο εισόδων συνδέονται με τη σχέση:

$$x \oplus y = (x \odot y)'$$

3. Κύκλωμα παραγωγής bit άρτιας ισοτιμίας

Η λογική συνάρτηση του κυκλώματος παραγωγής bit άρτιας ισοτιμίας τριών bit είναι:

$$P = A \oplus B \oplus C = (A \oplus B) \oplus C$$

Να υλοποιήσετε το κύκλωμα χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7486.

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	P (άρτια ισοτιμία)
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

IV. Πακέτο Λογισμικού

1. Λογική πύλη XOR δύο (2) εισόδων

Να σχεδιάσετε μία πύλη XOR δύο (2) εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

Να συμπληρώσετε τον πίνακα αληθείας.

2. Κύκλωμα παραγωγής bit περιττής ισοτιμίας

Η λογική συνάρτηση του κυκλώματος παραγωγής bit περιττής ισοτιμίας τριών bit είναι:

$$P=(A\oplus B\oplus C)'$$

Να σχεδιάσετε το κύκλωμα.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	P (περιττή ισοτιμία)

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 6
ΑΠΛΟΠΟΙΗΣΗ ΛΟΓΙΚΩΝ ΣΥΝΑΡΤΗΣΕΩΝ ΜΕ ΧΑΡΤΕΣ KARNAUGH

I. Βασική Θεωρία

Ελάχιστοι όροι μίας λογικής συνάρτησης ονομάζονται όλα τα γινόμενα όλων των όρων της συνάρτησης, όπου ο κάθε όρος (μεταβλητή) εμφανίζεται στην κανονική (αν έχει τιμή "1") ή στην συμπληρωματική του μορφή (αν έχει τιμή "0").

Μέγιστοι όροι μίας λογικής συνάρτησης ονομάζονται όλα τα αθροίσματα όλων των όρων της συνάρτησης, όπου ο κάθε όρος (μεταβλητή) εμφανίζεται στην κανονική (αν έχει τιμή "0") ή στην συμπληρωματική του μορφή (αν έχει τιμή "1").

Μία λογική συνάρτηση n μεταβλητών έχει 2^n ελάχιστους όρους και 2^n μέγιστους όρους.

Οι ελάχιστοι όροι συμβολίζονται με m_i και οι μέγιστοι όροι συμβολίζονται με M_i όπου $i=0,1,\dots,2^n-1$. Προφανώς ισχύει ότι $m_i'=M_i$ όπου $i=0,1,\dots,2^n-1$.

Κάθε λογική συνάρτηση μπορεί να εκφρασθεί ως άθροισμα ελάχιστων όρων (ΣΠ μορφή) και ως γινόμενο μέγιστων όρων (ΠΣ μορφή). Αυτές οι δύο μορφές έκφρασης των συναρτήσεων ονομάζονται **Κανονικές Μορφές**.

Για παράδειγμα, η συνάρτηση $Y=Y(x,y,z)$ τριών μεταβλητών x , y και z όπου x είναι το περισσότερο σημαντικό ψηφίο (Most Significant Bit - MSB) και z είναι το λιγότερο σημαντικό ψηφίο (Least Significant Bit - LSB) έχει οκτώ ελάχιστους όρους και οκτώ μέγιστους όρους ($2^3=8$). Ο πίνακας αληθείας της συνάρτησης είναι:

x	y	z	Y	Ελάχιστοι όροι	Μέγιστοι Όροι
0	0	0	0	$m_0=x'y'z'$	$M_0=x+y+z$
0	0	1	1	$m_1=x'y'z$	$M_1=x+y+z'$
0	1	0	0	$m_2=x'yz'$	$M_2=x+y'+z$
0	1	1	0	$m_3=x'yz$	$M_3=x+y'+z'$
1	0	0	1	$m_4=xy'z'$	$M_4=x'+y+z$
1	0	1	0	$m_5=xy'z$	$M_5=x'+y+z'$
1	1	0	0	$m_6=xyz'$	$M_6=x'+y'+z$
1	1	1	1	$m_7=xyz$	$M_7=x'+y'+z'$

Τότε οι δύο κανονικές μορφές της συνάρτησης Y είναι:

- ΣΠ μορφή: η συνάρτηση Y ως άθροισμα ελάχιστων όρων

$$Y=x'y'z+xy'z'+xyz=m_1+m_4+m_7=\Sigma(1,4,7)$$

- ΠΣ μορφή: η συνάρτηση Y ως γινόμενο μέγιστων όρων

$$Y=(x+y+z)(x+y'+z)(x+y'+z')(x'+y+z)(x'+y'+z)=M_0 M_2 M_3 M_5 M_6=\Pi(0,2,3,5,6)$$

Οι **χάρτες Karnaugh** είναι ένας τρόπος αναπαράστασης των λογικών συναρτήσεων. Ο χάρτης Karnaugh είναι ένας πίνακας όπου το κάθε τετράγωνο αναπαριστά ένα συνδυασμό των μεταβλητών, δηλαδή κάθε τετράγωνο ενός χάρτη Karnaugh αντιστοιχεί σε έναν ελάχιστο όρο της λογικής συνάρτησης που αναπαριστά. Οι θέσεις των ελαχίστων όρων στους χάρτες Karnaugh συναρτήσεων δύο, τριών και τεσσάρων μεταβλητών παρουσιάζονται παρακάτω:

		B	
		0	1
A	0	0	1
1	1	2	3

(α) Χάρτης Karnaugh δύο μεταβλητών

		B			
		00	01	11	10
A	0	0	1	3	2
1	1	4	5	7	6

(β) Χάρτης Karnaugh τριών μεταβλητών

		C				
		00	01	11	10	
A	00	0	1	3	2	
01	01	4	5	7	6	
11	11	12	13	15	14	
10	10	8	9	11	10	

(γ) Χάρτης Karnaugh τεσσάρων μεταβλητών

Χάρτες Karnaugh

Η αναπαράσταση μίας λογικής συνάρτησης με χάρτη Karnaugh γίνεται θέτοντας “1” σε κάθε τετράγωνο του χάρτη Karnaugh που αντιστοιχεί σε ελάχιστο όρο όπου η συνάρτηση έχει τιμή “1” και θέτοντας “0” (ή τίποτα) σε κάθε τετράγωνο του χάρτη Karnaugh που αντιστοιχεί σε ελάχιστο όρο όπου η συνάρτηση έχει τιμή “0”. Σε πολλές περιπτώσεις, μερικοί συνδυασμοί των μεταβλητών εισόδου δεν έχουν νόημα και δεν πρόκειται να συμβούν. Αυτοί οι συνδυασμοί καλούνται συνθήκες αδιαφορίας γιατί δεν ενδιαφέρει η τιμή της συνάρτησης για τους συνδυασμούς αυτούς. Στον πίνακα αληθείας και στον χάρτη Karnaugh μίας τέτοιας συνάρτησης οι τιμές της συνάρτησης στις συνθήκες αδιαφορίας συμβολίζονται με X.

Για παράδειγμα, η λογική συνάρτηση

$$Y = A'BC + AB'C' + ABC$$

έχει τον ακόλουθο χάρτη Karnaugh:

		B			
		00	01	11	10
A	0			1	
	1	1		1	

C

Χάρτης Karnaugh της συνάρτησης $Y = A'BC + AB'C' + ABC$

Για να απλοποιήσουμε μία λογική συνάρτηση χρησιμοποιώντας χάρτη Karnaugh, ακολουθούμε τα εξής βήματα:

- Γράφουμε τη συνάρτηση με μορφή αθροίσματος ελαχίστων όρων.
- Τοποθετούμε τους όρους της συνάρτησης στον χάρτη Karnaugh σημειώνοντας με “1” το αντίστοιχο τετράγωνο.
- Δημιουργούμε ομάδες με “1” των 2, 4, 8, 16 μελών από γειτονικά τετράγωνα (οριζόντια ή κάθετα, συνεχόμενα ή αναδιπλούμενα, αλλά όχι διαγώνια). Προσπαθούμε να δημιουργούμε όσο το δυνατόν μεγαλύτερες ομάδες. Κάθε “1” μπορεί να συμμετέχει σε περισσότερες από μία ομάδες.
- Ξαναγράφουμε τη συνάρτηση με όρους τους ελεύθερους όρους που πιθανόν να υπάρχουν και τις ομάδες (παραλείποντας τις μεταβλητές που μέσα στην ομάδα αλλάζουν τιμή).

Για την απλοποίηση μίας τέτοιας συνάρτησης με χάρτη Karnaugh η τιμή “X” μπορεί να θεωρηθεί είτε ως “0” είτε ως “1”, ανάλογα με τι συμφέρει, δηλαδή με το ποιά από τις δύο τιμές δίνει την απλούστερη έκφραση. Τα “X” επιτρέπεται να τα ομαδοποιηθούν με τους “1” ή να μην ληφθούν καθόλου υπόψη.

Παράδειγμα 1.

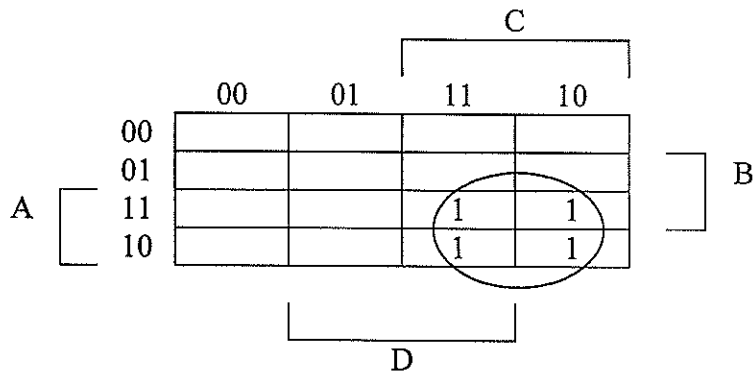
Δίνεται η συνάρτηση

$$Y=A(B'C+BCD')+ABCD$$

Κάνοντας πράξεις, η συνάρτηση γράφεται:

$$Y=AB'C+ABCD'+ABCD=AB'CD+AB'CD'+ABCD'+ABCD=\Sigma(10,11,14,15)$$

Ο δεύτερος και ο τρίτος όρος αντιστοιχούν στα τετράγωνα 14 και 15 αντίστοιχα του χάρτη Karnaugh. Ο πρώτος όρος είναι ελλιπής (αφού λείπει η μεταβλητή D) και αντιστοιχεί στα τετράγωνα 10 και 11 του χάρτη Karnaugh. Ο χάρτης Karnaugh της συνάρτησης είναι:



Χάρτης Karnaugh της συνάρτησης $Y=A(B'C+BCD')+ABCD$

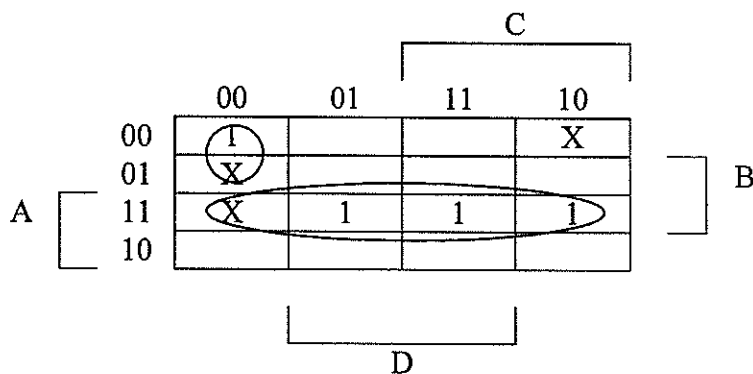
Οι τέσσερις "1" αποτελούν μία ομάδα (τετράδα). Μέσα στην ομάδα αυτή αλλάζουν τιμή οι μεταβλητές B και D, οπότε παραλείπονται. Οι μεταβλητές A και C έχουν τιμή "1".

Επομένως, η απλοποιημένη συνάρτηση είναι: $Y=AC$

Παράδειγμα 2.

Δίνεται η συνάρτηση $Y=A'B'C'D'+ABD+ABCD'$ με αδιάφορους όρους $A'B'CD'$ και $BC'D'$

Ο χάρτης Karnaugh της συνάρτησης είναι:



Χάρτης Karnaugh της συνάρτησης $Y=A'B'C'D'+ABD+ABCD'$ με αδιάφορους όρους $A'B'CD'$ και $BC'D'$

Επομένως, η απλοποιημένη συνάρτηση είναι: $Y=AB+A'C'D'$

όπου ο πρώτος όρος αντιστοιχεί στην ομάδα των τεσσάρων όρων και ο δεύτερος στην ομάδα των δύο όρων.

II. Πλακέτα Εργαστηρίου

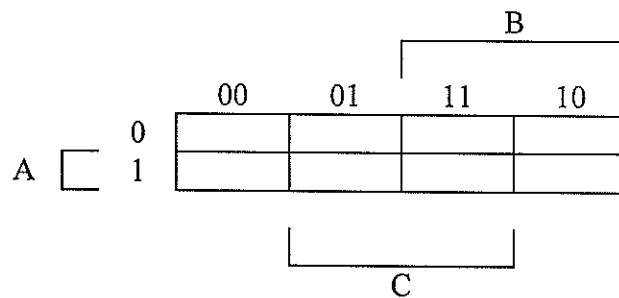
1. Απλοποίηση συνάρτησης τριών μεταβλητών με χάρτη Karnaugh

Δίνεται η συνάρτηση τριών μεταβλητών

$$Y(A,B,C) = \Sigma(0,2,3,4,6)$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα.



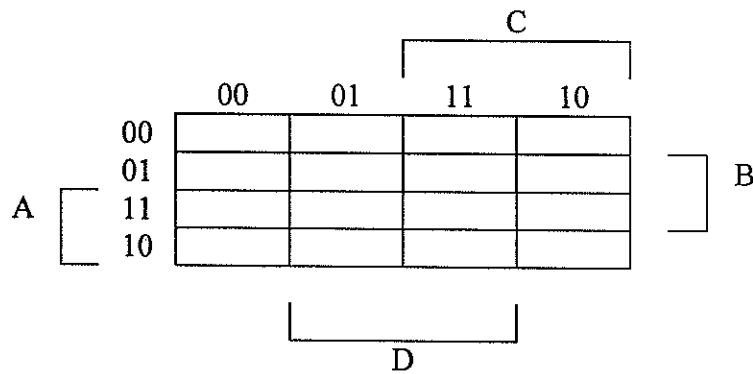
2. Απλοποίηση συνάρτησης τεσσάρων μεταβλητών με χάρτη Karnaugh

Δίνεται η συνάρτηση τεσσάρων μεταβλητών

$$Y(A,B,C,D) = A'B'C'D' + AB'C'D' + A'B'CD' + AB'CD'$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα.



III. Ολοκληρωμένα Κυκλώματα

1. Απλοποίηση συνάρτησης τριών μεταβλητών με χάρτη Karnaugh

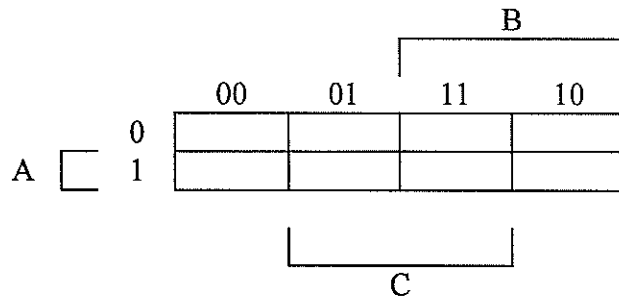
Δίνεται η συνάρτηση τριών μεταβλητών

$$Y(A,B,C)=AB+B'C$$

με αδιάφορο όρο τον $A'BC$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.



2. Απλοποίηση συνάρτησης τεσσάρων μεταβλητών με χάρτη Karnaugh

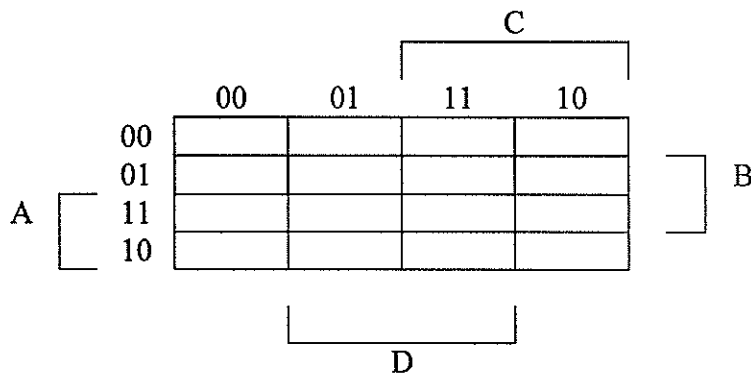
Δίνεται η συνάρτηση τεσσάρων μεταβλητών

$$Y(A,B,C,D)=C'D'(A'B+AB')+BC'D+AD'(BC'+B'C)+ABCD'$$

με αδιάφορους όρους τους BCD

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.



IV. Πακέτο Λογισμικού

1. Απλοποίηση συνάρτησης τριών μεταβλητών με χάρτη Karnaugh

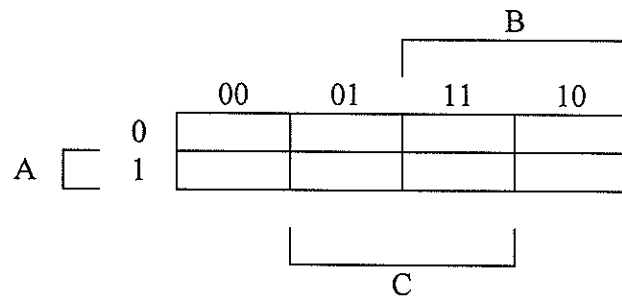
Δίνεται η συνάρτηση τριών μεταβλητών

$$Y(A,B,C) = \Sigma(2,3,4,5)$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να σχεδιάσετε το κύκλωμα.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.



2. Απλοποίηση συνάρτησης τεσσάρων μεταβλητών με χάρτη Karnaugh

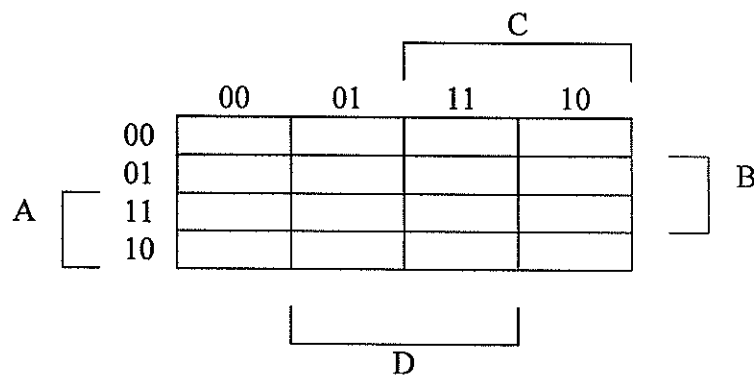
Δίνεται η συνάρτηση τεσσάρων μεταβλητών

$$Y(A,B,C,D) = \Pi(1,3,5,7,9,11,12,13,14,15)$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να σχεδιάσετε το κύκλωμα.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.



ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 7 ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ

I. Βασική Θεωρία

Ένα **Συνδυαστικό Κύκλωμα (ΣΚ)** n εισόδων και m εξόδων περιγράφεται από m λογικές συναρτήσεις n μεταβλητών. Η κάθε μία από τις n μεταβλητές εισόδου μπορεί να πάρει δύο μόνο τιμές, το λογικό "1" και το λογικό "0". Επομένως, οι δυνατοί συνδυασμοί των μεταβλητών εισόδου είναι 2^n . Για κάθε συνδυασμό των μεταβλητών εισόδου, η κάθε μία μεταβλητή εξόδου παίρνει μία μόνο τιμή: το λογικό "1" ή το λογικό "0". Ο πίνακας αληθείας της λογικής συνάρτησης περιγράφει αυτή τη σχέση εισόδων-εξόδου.

Για να σχεδιάσουμε ένα Συνδυαστικό Κύκλωμα ακολουθούμε τα εξής βήματα:

- Κατασκευάζουμε τον πίνακα αληθείας του Συνδυαστικού Κυκλώματος
- Γράφουμε τις λογικές συναρτήσεις των εξόδων συναρτήσει των εισόδων
- Απλοποιούμε τις συναρτήσεις χρησιμοποιώντας χάρτες Karnaugh
- Σχεδιάζουμε το κύκλωμα τηρώντας την προτεραιότητα των πράξεων

Κάθε Συνδυαστικό Κύκλωμα μπορεί να υλοποιηθεί χρησιμοποιώντας λογικές πύλες.

Παράδειγμα

Να σχεδιαστεί ένα Συνδυαστικό Κύκλωμα (ΣΚ) που αναγνωρίζει αν ένας 3-bit αριθμός είναι μικρότερος από 3, χρησιμοποιώντας μόνο πύλες NOT και πύλες AND και OR δύο εισόδων.

Το ΣΚ έχει τρεις εισόδους A, B και C, που αποτελούν τη δυαδική αναπαράσταση ενός δεκαδικού αριθμού από το 0 έως και το 7 (θυμηθείτε ότι με 3 bit μπορούμε να μετρήσουμε $2^3=8$ αριθμούς) και μία έξοδο Y. Η έξοδος του ΣΚ είναι "1" όταν το δεκαδικό ισοδύναμο του 3-bit δυαδικού αριθμού των εισόδων του ΣΚ είναι μικρότερο από 3.

Από την περιγραφή της λειτουργίας του ΣΚ κατασκευάζεται ο παρακάτω πίνακας αληθείας του ΣΚ:

Πίνακας Αληθείας του Συνδυαστικού Κυκλώματος

δεκαδικός	A	B	C	Y
0	0	0	0	1
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

Από τον Πίνακα Αληθείας του ΣΚ προκύπτει ότι η συνάρτηση εξόδου του ΣΚ είναι $Y=1$ όταν

$A=0$ και (AND) $B=0$ και (AND) $C=0$
ή (OR)

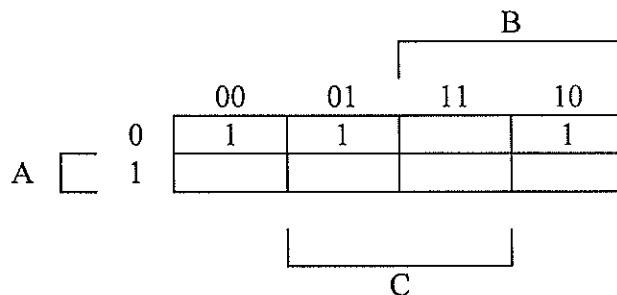
$A=0$ και (AND) $B=0$ και (AND) $C=1$
ή (OR)

$A=0$ και (AND) $B=1$ και (AND) $C=0$

Επομένως, η συνάρτηση εξόδου του ΣΚ ευρίσκεται ως συνάρτηση των εισόδων του ΣΚ:

$$Y = A'B'C' + A'B'C + A'BC'$$

Ο χάρτης Karnaugh της συνάρτησης εξόδου του ΣΚ είναι:



Χάρτης Karnaugh της συνάρτησης $Y = A'B'C' + A'B'C + A'BC' = A'B' + A'C'$

Η απλοποιημένη συνάρτηση είναι:

$$Y = A'B' + A'C'$$

Η συνάρτηση γράφεται:

$$Y = A'B' + A'C' = A'(B' + C') = A'(BC) = (A + BC)'$$

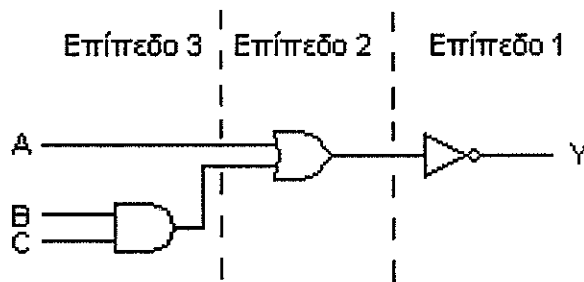
Για τη σχεδίαση του κυκλώματος, ξεκινώντας από την έξοδο προς τις εισόδους του κυκλώματος, σχεδιάζονται οι πύλες του κυκλώματος λαμβάνοντας υπόψη τις λογικές πράξεις της συνάρτησης εξόδου του ΣΚ. Το κύκλωμα χωρίζεται σε επίπεδα που περιέχουν τις πύλες, με βάση την προτεραιότητα των πράξεων. Ξεκινώντας από την έξοδο του ΣΚ προς τις εισόδους του ΣΚ, το κύκλωμα χωρίζεται σε τρία επίπεδα πυλών:

Επίπεδο 1. Μία πύλη NOT που χρησιμοποιείται για την εύρεση της εξόδου $Y = (A + BC)'$ του ΣΚ, αποτελεί το τελευταίο επίπεδο πυλών.

Επίπεδο 2. Μία πύλη OR δύο εισόδων που χρησιμοποιείται για τον υπολογισμό $A + BC$, αποτελεί το δεύτερο επίπεδο πυλών.

Επίπεδο 3. Μία πύλη AND δύο εισόδων, που χρησιμοποιείται για τον υπολογισμό BC , αποτελεί το πρώτο επίπεδο πυλών.

Τα τρία επίπεδα πυλών φαίνονται στο παρακάτω σχήμα, όπου παρουσιάζεται το Συνδυαστικό Κύκλωμα που αναγνωρίζει αν ένας 3-bit αριθμός είναι μικρότερος από 3.



□ Συνδυαστικό Κύκλωμα

II. Πλακέτα Εργαστηρίου

1. Ένα συνδυαστικό κύκλωμα (ΣΚ) έχει τρεις εισόδους A, B και C και μία έξοδο Y
 $Y=A'B+AC'$

Να κατασκευάσετε τον πίνακα αληθείας του ΣΚ:

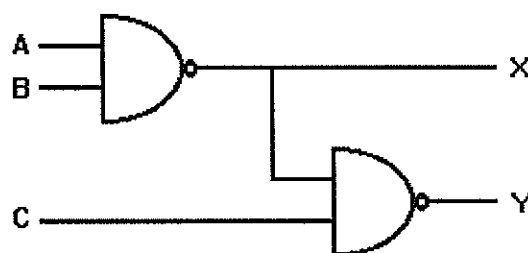
A	B	C	A'	C'	A'B	AC'	Y
0	0	0					
0	0	1					
0	1	0					
0	1	1					
1	0	0					
1	0	1					
1	1	0					
1	1	1					

Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C.

Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT και πυλών AND και OR δύο εισόδων.

2. Να υλοποιήσετε το παρακάτω συνδυαστικό κύκλωμα:



Να γράψετε τις συναρτήσεις εξόδου X και Y συναρτήσει των εισόδων A, B και C.

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	X	Y
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

3. Ένα συνδυαστικό κύκλωμα χρησιμοποιείται για την ενεργοποίηση ενός συναγερμού σε ένα εργοστάσιο. Το κύκλωμα έχει τρεις εισόδους A, B και C, που συνδέονται με τρεις διακόπτες οι οποίοι είναι συνδεδεμένοι με τρεις αισθητήρες (sensors) SA, SB και SC που ελέγχουν αντίστοιχα την πίεση, την θερμοκρασία και την στάθμη ενός υγρού μέσα σε μία δεξαμενή. Ο αισθητήρας SA δίνει "1" όταν η πίεση υπερβεί κάποιο προκαθορισμένο όριο. Ο αισθητήρας SB δίνει "1" όταν η θερμοκρασία υπερβεί κάποιο προκαθορισμένο όριο. Ο αισθητήρας SC δίνει "0" όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Το κύκλωμα έχει μία έξοδο Y που δίνει "1" για να ενεργοποιηθεί ο συναγερμός όταν η στάθμη πέσει κάτω από το προκαθορισμένο όριο και ταυτόχρονα η πίεση είτε η θερμοκρασία υπερβούν τα προκαθορισμένα όρια.

Να κατασκευάσετε τον πίνακα αληθείας του προβλήματος.

A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C.

Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT και πυλών AND και OR δύο εισόδων.

4. Δίνονται οι συναρτήσεις εξόδου X, Y και Z συναρτήσεων των μεταβλητών εισόδου A, B και C σε ένα συνδυαστικό κύκλωμα:

$$X=(AB)'$$

$$Y=(BC)'$$

$$Z=B(A+C)$$

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	X	Y	Z
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

5. Ένα συνδυαστικό κύκλωμα αναγνωρίζει εκείνα τα δεκαδικά ψηφία από τα δεκαδικά ψηφία 0-15 που διαιρούνται με το 4. Το κύκλωμα θα δέχεται στην είσοδο το δυαδικό ισοδύναμο του δεκαδικού ψηφίου wxyz και θα παράγει στην έξοδο τη συνάρτηση Y αναγνώρισης των δεκαδικών ψηφίων που διαιρούνται με το 4.
 Να συμπληρώσετε τον πίνακα αληθείας:

w	x	y	z	Y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Να γράψετε τη συνάρτηση εξόδου Y συναρτήσει των εισόδων w, x, y και z.
 Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).
 Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

6. Ένα συνδυαστικό κύκλωμα έχει τέσσερις μεταβλητές εισόδου A, B, C και D και μία έξοδο Y. Το κύκλωμα αποτελείται από τέσσερις (4) πύλες. Η πρώτη πύλη είναι πύλη NOT με είσοδο D και έξοδο D'. Η δεύτερη πύλη είναι πύλη AND με εισόδους A, B, C και D'. Η τρίτη πύλη είναι πύλη NAND με εισόδους A, B και C. Η τέταρτη πύλη είναι πύλη OR με εισόδους τις εξόδους των δύο πυλών AND και NAND και με έξοδο την έξοδο Y του κυκλώματος.

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

Να συμπληρώσετε τον πίνακα αληθείας.

Να διαπιστώσετε ότι η συνάρτηση εξόδου Y συναρτήσει των μεταβλητών εισόδου A, B, C και D είναι:

$$Y = (ABC'D)'$$

7. Ένα συνδυαστικό κύκλωμα χρησιμοποιείται για την ενεργοποίηση ενός συναγερμού σε ένα βενζινάδικο. Στο βενζινάδικο υπάρχουν τέσσερις δεξαμενές καυσίμων. Στην δεξαμενή της βενζίνης super υπάρχει ένας αισθητήρας SA που δίνει "1" όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στην δεξαμενή της βενζίνης unleaded υπάρχει ένας αισθητήρας SB που δίνει "1" όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στην δεξαμενή της βενζίνης super unleaded υπάρχει ένας αισθητήρας SC που δίνει "1" όταν η στάθμη πέσει κάτω από κάποιο προκαθορισμένο όριο. Στην δεξαμενή του πετρελαίου κίνησης υπάρχει ένας αισθητήρας SD που δίνει "0" όταν η θερμοκρασία υπερβεί κάποιο προκαθορισμένο όριο.

Το κύκλωμα έχει τέσσερις εισόδους A, B, C και D, που συνδέονται με τέσσερις διακόπτες οι οποίοι είναι συνδεδεμένοι με τους τέσσερις αισθητήρες.

Το κύκλωμα έχει μία έξοδο Y που δίνει "1" για να ενεργοποιηθεί ο συναγερμός όταν η στάθμη μίας τουλάχιστον από τις δεξαμενές βενζίνης πέσει κάτω από το προκαθορισμένο όριο και ταυτόχρονα η θερμοκρασία της δεξαμενής του πετρελαίου κίνησης υπερβεί το προκαθορισμένο όριο.

Να κατασκευάσετε τον πίνακα αληθείας του προβλήματος.

A	B	C	D	Y
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C.

Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT, AND και OR.

III. Ολοκληρωμένα Κυκλώματα

1. Ένα συνδυαστικό κύκλωμα (ΣΚ) έχει τρεις εισόδους A, B και C και μία έξοδο Y
 $Y = A'B' + A'B + AB'C'$

Να κατασκευάσετε τον πίνακα αληθείας του ΣΚ:

A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C.

Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

2. Δίνονται οι συναρτήσεις εξόδου X, Y και Z συναρτήσεων των μεταβλητών εισόδου A, B και C σε ένα συνδυαστικό κύκλωμα:

$$X = AB'$$

$$Y = (BC)'$$

$$Z = A(B+C)$$

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

Να συμπληρώσετε τον πίνακα αληθείας:

A	B	C	X	Y	Z
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

3. Ένα συνδυαστικό κύκλωμα χρησιμοποιείται για τον έλεγχο του σηματοδότη μιας διασταύρωσης. Στη διασταύρωση διασταυρώνεται ένας δρόμος προτεραιότητας με λωρίδες ΛΑ και ΛΒ και ένας δρόμος δευτερεύουσας σημασίας με λωρίδες ΛC και ΛD. Σε κάθε λωρίδα υπάρχει ένας αισθητήρας που ελέγχει την παρουσία αυτοκινήτων δίνοντας “1” όταν υπάρχει τουλάχιστον ένα αυτοκίνητο. Στην διασταύρωση υπάρχει ένας σηματοδότης με δύο φάτα: το ΦΑΒ για τις λωρίδες ΛΑ και ΛΒ και το ΦCD για τις λωρίδες ΛC και ΛD. Το κάθε φως είναι δύο χρωμάτων (κόκκινο και πράσινο). Ο σηματοδότης ελέγχει την κυκλοφορία των αυτοκινήτων σύμφωνα με την ακόλουθη λογική:

Το ΦCD είναι πράσινο όταν

- οι λωρίδες ΛC και ΛD είναι κατειλημμένες και τουλάχιστον μία από τις λωρίδες ΛΑ και ΛΒ είναι ελεύθερη

- η λωρίδα ΛC ή η λωρίδα ΛD είναι κατειλημμένη και οι λωρίδες ΛΑ και ΛΒ είναι ελεύθερες

Σε όλες τις άλλες περιπτώσεις το ΦCD είναι κόκκινο.

Το ΦΑΒ λειτουργεί εντελώς αντίθετα από το ΦCD.

Το κύκλωμα έχει τέσσερις εισόδους A, B, C και D που συνδέονται με τους τέσσερις αισθητήρες.

Το κύκλωμα έχει δύο εξόδους YAB και YCD που συνδέονται με τα φάτα του σηματοδότη και δίνουν “1” όταν το αντίστοιχο φως είναι πράσινο.

Να κατασκευάσετε τον Πίνακα αληθείας του προβλήματος.

A	B	C	D	YAB	YCD
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

Να γράψετε τις συναρτήσεις εξόδου YAB και YCD του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B, C και D. Να διαπιστώσετε ότι η μία συνάρτηση είναι το συμπλήρωμα της άλλης.

Να γράψετε την απλοποιημένη συνάρτηση εξόδου YAB (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

IV. Πακέτο Λογισμικού

1. Ένα συνδυαστικό κύκλωμα (ΣΚ) έχει τρεις εισόδους A, B και C και μία έξοδο Y
 $Y=A+B'C$

Να κατασκευάσετε τον πίνακα αληθείας του ΣΚ:

A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C.

Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT και πυλών AND και OR δύο εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

2. Η κωδικοποίηση $k \rightarrow 2k+1$ μπορεί να υλοποιηθεί με ένα συνδυαστικό κύκλωμα, το οποίο θα δέχεται στην είσοδο το δυαδικό ισοδύναμο του δεκαδικού ψηφίου k και θα παράγει στην έξοδο το δυαδικό ισοδύναμο του δεκαδικού ψηφίου $2k+1$, όπου $k \in [0,3]$.

Το συνδυαστικό κύκλωμα έχει δύο εισόδους x και y γιατί $k \in [0,3]$.

Το συνδυαστικό κύκλωμα έχει τρεις εξόδους A, B και C γιατί $2k+1 \in [0,7]$.

Να κατασκευάσετε τον πίνακα αληθείας του ΣΚ:

x	y	A	B	C
0	0			
0	1			
1	0			
1	1			

Να γράψετε τις συναρτήσεις εξόδου A, B και C συναρτήσει των εισόδων x και y.

Να γράψετε τις απλοποιημένες συναρτήσεις εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT και πυλών AND και OR δύο εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

3. Ένα συνδυαστικό κύκλωμα χρησιμοποιείται για την αίχνευση λάθους στη λειτουργία ενός σηματοδότη που έχει τρία φώτα: ΦΑ για το κόκκινο, ΦΒ για το πορτοκαλί και ΦC για το πράσινο. Ο σηματοδότης λειτουργεί κανονικά όταν ανάβει μόνον ένα φως. Το κύκλωμα έχει τρεις εισόδους A, B και C που συνδέονται με τρεις αισθητήρες SA, SB και SC που δίνουν "1" όταν το αντίστοιχο φως είναι αναμμένο και "0" όταν είναι σβηστό. Το κύκλωμα έχει μία έξοδο Y που δίνει "1" όταν υπάρχει πρόβλημα στη λειτουργία του σηματοδότη. Να κατασκευάσετε τον πίνακα αληθείας του ΣΚ:

A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Να γράψετε τη συνάρτηση εξόδου Y του κυκλώματος ως άθροισμα ελαχίστων όρων των μεταβλητών εισόδου A, B και C.

Να γράψετε την απλοποιημένη συνάρτηση εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT και πυλών AND και OR δύο εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

4. Η κωδικοποίηση $k \rightarrow k^2$ μπορεί να υλοποιηθεί με ένα συνδυαστικό κύκλωμα, το οποίο θα δέχεται στην είσοδο το δυαδικό ισοδύναμο του δεκαδικού ψηφίου k και θα παράγει στην έξοδο το δυαδικό ισοδύναμο του δεκαδικού ψηφίου k^2 όπου $k \in [0,7]$.

Το συνδυαστικό κύκλωμα έχει δύο εισόδους x, y και z γιατί $k \in [0,7]$.

Το συνδυαστικό κύκλωμα έχει έξι εξόδους A, B, C, D, E και F γιατί $k^2 \in [0,49]$.

Να κατασκευάσετε τον πίνακα αληθείας του ΣΚ:

x	y	z	A	B	C	D	E	F

Να γράψετε τις απλοποιημένες συναρτήσεις εξόδου (να χρησιμοποιήσετε χάρτη Karnaugh).

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας το ελάχιστο δυνατό πλήθος πυλών NOT και πυλών AND και OR δύο εισόδων.

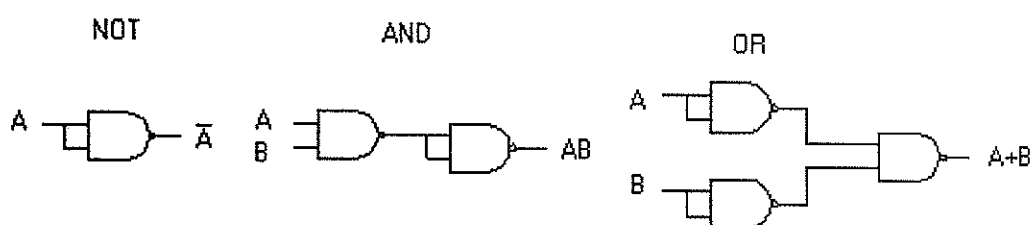
Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 8 ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ ΔΥΟ ΕΙΣΟΔΩΝ

I. Βασική Θεωρία

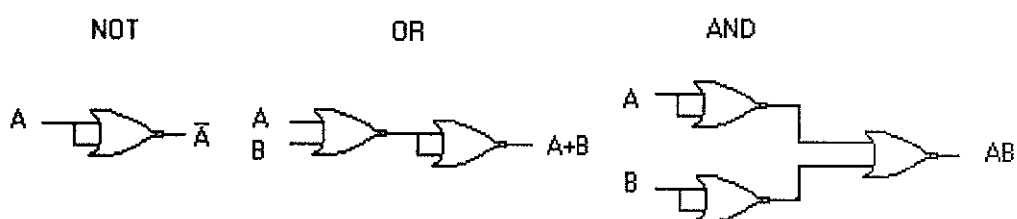
Οι πύλες NAND και NOR δύο εισόδων ονομάζονται **οικουμενικές πύλες** (universal gates) γιατί κάθε συνδυαστικό κύκλωμα μπορεί να υλοποιηθεί μόνο με πύλες NAND δύο εισόδων ή μόνο με πύλες NOR δύο εισόδων.

Κάθε πύλη NOT και AND και OR δύο εισόδων μπορεί να αντικατασταθεί από ένα ισοδύναμο κύκλωμα με αποκλειστική χρησιμοποίηση είτε πυλών NAND είτε πυλών NOR δύο εισόδων. Στο παρακάτω σχήμα βλέπουμε τα κυκλώματα που είναι ισοδύναμα με τις βασικές πύλες NOT, AND και OR, χρησιμοποιώντας μόνο πύλες NAND δύο εισόδων.



Υλοποίηση πυλών NOT, AND και OR με πύλες NAND δύο εισόδων

Στο παρακάτω σχήμα βλέπουμε τα κυκλώματα που είναι ισοδύναμα με τις βασικές πύλες NOT, AND και OR, χρησιμοποιώντας μόνο πύλες NOR δύο εισόδων.



Υλοποίηση πυλών NOT, AND και OR με πύλες NOR δύο εισόδων

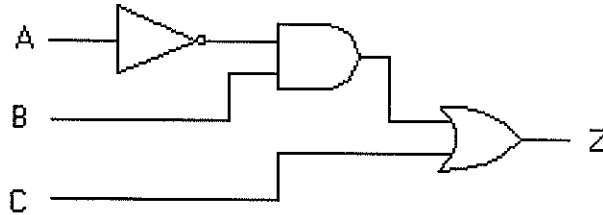
Ετσι, αν θέλουμε να σχεδιάσουμε και να κατασκευάσουμε ένα κύκλωμα με οικουμενικές πύλες NAND ή NOR δύο εισόδων, μπορούμε να το σχεδιάσουμε πρώτα με πύλες NOT, AND και OR και στη συνέχεια να αντικαταστήσουμε την κάθε πύλη με το ισοδύναμο κύκλωμα. Αν στο κύκλωμα υπάρχουν δύο διαδοχικές πύλες NAND ή NOR που αντιστοιχούν σε πύλες NOT, τότε οι δύο διαδοχικές πύλες διαγράφονται και το κύκλωμα απλοποιείται.

Παράδειγμα 1.

Θέλουμε να σχεδιάσουμε με οικουμενικές πύλες NAND δύο εισόδων το συνδυαστικό κύκλωμα που υλοποιεί τη λογική συνάρτηση:

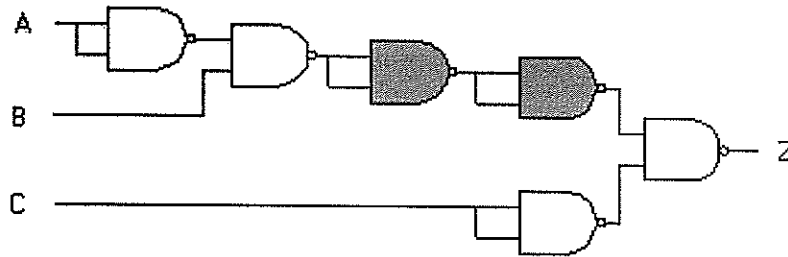
$$Z=A'B+C$$

Σχεδιάζουμε στην αρχή το κύκλωμα με πύλες NOT, AND και OR:



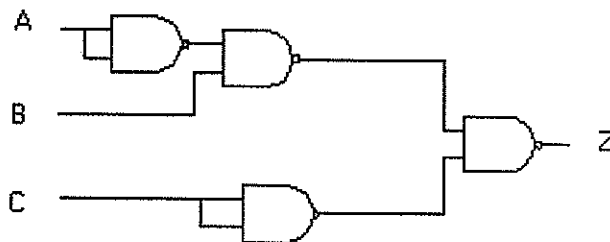
Κύκλωμα της συνάρτησης $Z=A'B+C$ με πύλες NOT, AND και OR

Στη συνέχεια αντικαθιστούμε την κάθε πύλη με το ισοδύναμο κύκλωμα με πύλες NAND δύο εισόδων:



Κύκλωμα της συνάρτησης $Z=A'B+C$ με πύλες NAND δύο εισόδων

Στο κύκλωμα αυτό παρατηρούμε ότι υπάρχουν διαδοχικές πύλες NAND δύο εισόδων που αντιστοιχούν σε πύλες NOT. Αυτές οι δύο διαδοχικές πύλες διαγράφονται και το κύκλωμα απλοποιείται:



Απλοποιημένο Κύκλωμα της συνάρτησης $Z=A'B+C$ με πύλες NAND δύο εισόδων

Ένας άλλος τρόπος είναι να επεξεργαστούμε τη λογική συνάρτηση.

Προφανώς ισχύει ότι:

$$Z=(Z')'$$

Επομένως, η συνάρτηση γράφεται:

$$Z=(A'B+C)'=((A'B+C)')'$$

Σύμφωνα με το θεώρημα De Morgan η συνάρτηση γίνεται:

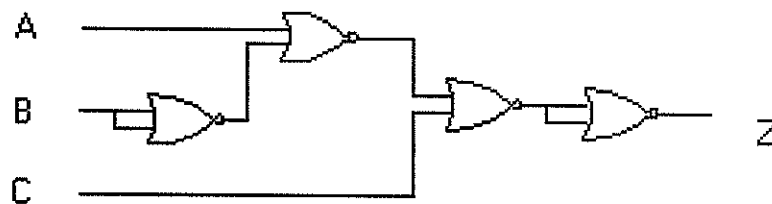
$$Z=((A'B)'C)'$$

Η συνάρτηση αυτή υλοποιείται αποκλειστικά με πύλες NAND δύο εισόδων, όπως ακριβώς έγινε προηγουμένως.

Αν προχωρήσουμε την επεξεργασία της εξίσωσης χρησιμοποιώντας το θεώρημα De Morgan έχουμε:

$$Z=A'B+C=((A'B)'C)'=((A+B')C)'=(A+B')+C=(((A+B')+C)')'$$

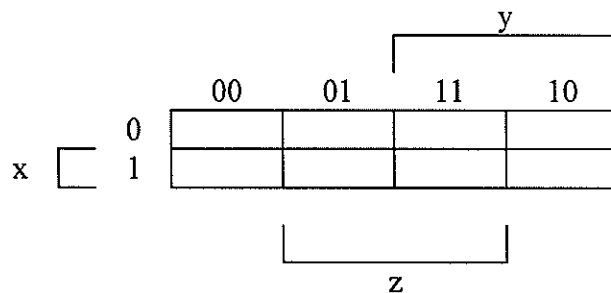
Η συνάρτηση αυτή υλοποιείται αποκλειστικά με πύλες NOR δύο εισόδων:



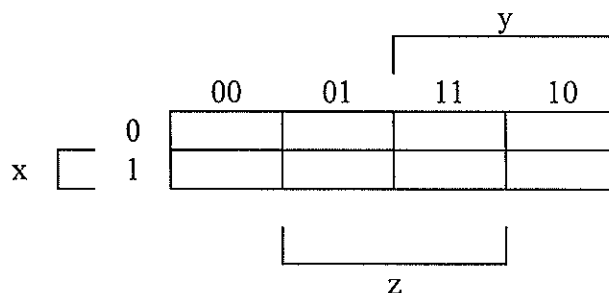
Κύκλωμα της συνάρτησης $Z=A'+C$ με πύλες NOR δύο εισόδων

II. Πλακέτα Εργαστηρίου

1. Να υλοποιήσετε μία πύλη NOT χρησιμοποιώντας μία πύλη NAND με βραχυκυκλωμένες τις εισόδους.
2. Να υλοποιήσετε μία πύλη AND δύο εισόδων χρησιμοποιώντας δύο πύλες NAND.
3. Να υλοποιήσετε μία πύλη OR δύο εισόδων χρησιμοποιώντας τρεις πύλες NAND.
4. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους x, y και z και μία έξοδο F, η οποία δίνεται ως άθροισμα ελαχίστων όρων:
 $F(x,y,z)=\Sigma(0,2,4,6,7)$
 Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.
 Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NAND δύο εισόδων.

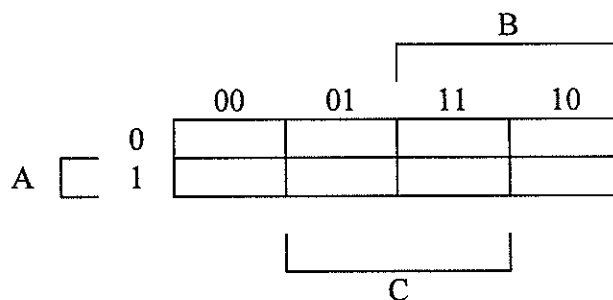


5. Να υλοποιήσετε μία πύλη NOT χρησιμοποιώντας μία πύλη NOR δύο εισόδων με βραχυκυκλωμένες τις εισόδους.
6. Να υλοποιήσετε μία πύλη AND δύο εισόδων χρησιμοποιώντας τρεις πύλες NOR.
7. Να υλοποιήσετε μία πύλη OR δύο εισόδων χρησιμοποιώντας δύο πύλες NOR.
8. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους x, y και z και μία έξοδο F, η οποία δίνεται ως άθροισμα ελαχίστων όρων:
 $F(x,y,z)=\Sigma(2,4,6)$
 Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.
 Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NOR δύο εισόδων.



III. Ολοκληρωμένα Κυκλώματα

1. Να υλοποιήσετε μία πύλη NOT χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7400.
2. Να υλοποιήσετε μία πύλη AND δύο εισόδων χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7400.
3. Να υλοποιήσετε μία πύλη OR δύο εισόδων χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7400.
4. Να υλοποιήσετε μία πύλη NOT χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7402.
5. Να υλοποιήσετε μία πύλη AND δύο εισόδων χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7402.
6. Να υλοποιήσετε μία πύλη OR δύο εισόδων χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7402.
7. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους A, B και C και μία έξοδο F με συνάρτηση:
 $F(A,B,C)=AB'+A'B+AB'C'$
 Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.
 Να απλοποιήσετε τη λογική συνάρτηση και να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NAND δύο εισόδων.
 Να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.



IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε μία πύλη NOT χρησιμοποιώντας μία πύλη NAND δύο εισόδων με βραχυκυκλωμένες τις εισόδους.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

2. Να υλοποιήσετε μία πύλη AND δύο εισόδων χρησιμοποιώντας δύο πύλες NAND δύο εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

3. Να υλοποιήσετε μία πύλη OR δύο εισόδων χρησιμοποιώντας τρεις πύλες NAND δύο εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

4. Να σχεδιάσετε μία πύλη NOT χρησιμοποιώντας μία πύλη NOR δύο εισόδων με βραχυκυκλωμένες τις εισόδους.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

5. Να υλοποιήσετε μία πύλη AND δύο εισόδων χρησιμοποιώντας δύο πύλες NOR δύο εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

6. Να υλοποιήσετε μία πύλη OR δύο εισόδων χρησιμοποιώντας τρεις πύλες NOR δύο εισόδων.

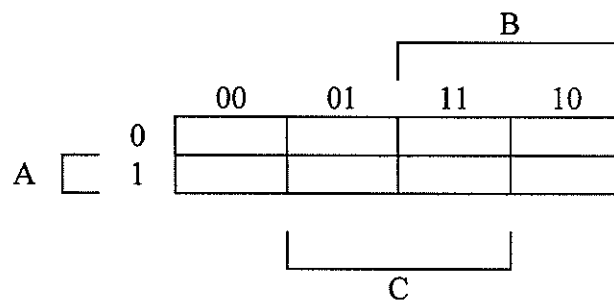
Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

7. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους A, B και C και μία έξοδο F με συνάρτηση:
 $F(A,B,C) = AB' + A'B + A'BC'$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NOR δύο εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.



ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 9 ΟΙΚΟΥΜΕΝΙΚΕΣ ΠΥΛΕΣ ΠΟΛΛΑΠΛΩΝ ΕΙΣΟΔΩΝ

I. Βασική Θεωρία

Οι πύλες NAND και NOR ονομάζονται **οικουμενικές πύλες** (universal gates) γιατί κάθε συνδυαστικό κύκλωμα μπορεί να υλοποιηθεί μόνο με πύλες NAND ή μόνο με πύλες NOR πολλαπλών εισόδων.

Κάθε συνδυαστικό κύκλωμα μπορεί να υλοποιηθεί μόνο με πύλες NAND ή μόνο με πύλες NOR πολλαπλών εισόδων σε δύο επίπεδα. Η μέθοδος σχεδίασης συνδυαστικού κυκλώματος μόνο με πύλες NAND ή NOR πολλαπλών εισόδων σε δύο επίπεδα είναι η ακόλουθη:

- έκφραση των συναρτήσεων εξόδου του συνδυαστικού κυκλώματος
 - ως αθροίσματα γινομένων, όταν απαιτείται υλοποίηση με πύλες NAND
 - ως γινόμενα αθροισμάτων, όταν απαιτείται υλοποίηση με πύλες NORόπου ισχύει η υπόθεση ότι οι εισοδοί είναι διαθέσιμοι τόσο στην κανονική όσο και στη συμπληρωματική τους μορφή
- πύλες πρώτου επιπέδου
 - σε κάθε γινόμενο αντιστοιχεί μία πύλη NAND με εισόδους τους παράγοντες του γινομένου, όταν απαιτείται υλοποίηση με πύλες NAND
 - σε κάθε άθροισμα αντιστοιχεί μία πύλη NOR με εισόδους τους όρους του αθροίσματος, όταν απαιτείται υλοποίηση με πύλες NOR
- πύλη δεύτερου επιπέδου
μία πύλη με εισόδους που τροφοδοτούνται από τις εξόδους των πυλών του πρώτου επιπέδου
- διαγραφή κάθε πύλης του πρώτου επιπέδου που τροφοδοτείται από μία είσοδο και αντικατάσταση της εισόδου με το συμπλήρωμά της, με το οποίο τροφοδοτείται η πύλη του δεύτερου επιπέδου (ισχύει η υπόθεση ότι οι εισοδοί είναι διαθέσιμοι τόσο στην κανονική όσο και στη συμπληρωματική τους μορφή)

II. Πλακέτα Εργαστηρίου

1. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους x , y και z και μία έξοδο F , η οποία δίνεται ως άθροισμα ελαχίστων όρων:

$$F(x,y,z) = \Sigma(0,7)$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NAND πολλαπλών εισόδων.

		y				
		00	01	11	10	
x	□	0				
	□	1				

z

2. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους x , y και z και μία έξοδο F , η οποία δίνεται ως άθροισμα ελαχίστων όρων:

$$F(x,y,z) = \Sigma(0,6)$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να υλοποιήσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NOR πολλαπλών εισόδων.

		y				
		00	01	11	10	
x	□	0				
	□	1				

z

III. Ολοκληρωμένα Κυκλώματα

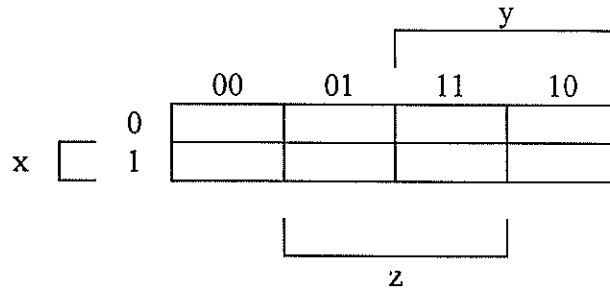
1. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους x, y και z και μία έξοδο F, η οποία δίνεται ως άθροισμα ελαχίστων όρων:

$$F(x,y,z) = \Sigma(0,3,5,6,7)$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NAND πολλαπλών εισόδων.

Να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.



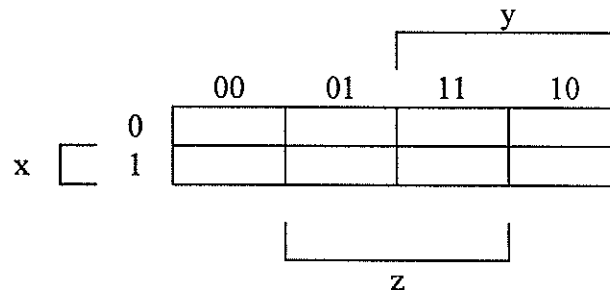
2. Ένα συνδυαστικό κύκλωμα έχει τρεις εισόδους x, y και z και μία έξοδο F, η οποία δίνεται ως γινόμενο μεγίστων όρων:

$$F(x,y,z) = \Pi(1,2,3,4,7)$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να απλοποιήσετε τη λογική συνάρτηση και να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NOR πολλαπλών εισόδων.

Να υλοποιήσετε το κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.



IV. Πακέτο Λογισμικού

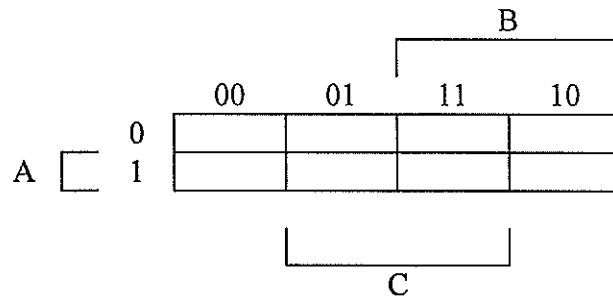
1. Ένα συνδυαστικό κύκλωμα έχει τέσσερις εισόδους A, B, C και D και μία έξοδο F με συνάρτηση:

$$F(A,B,C,D)=AB'C+A'BD+BC'D'$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NAND πολλαπλών εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.



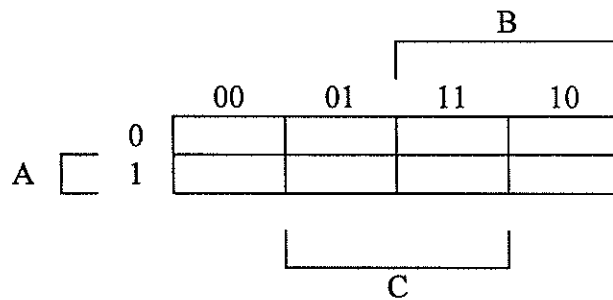
2. Ένα συνδυαστικό κύκλωμα έχει τέσσερις εισόδους A, B, C και D και μία έξοδο F με συνάρτηση:

$$F(A,B,C,D)=(A+B'+C)(B'+C'+D)(A'+D')$$

Να κατασκευάσετε το χάρτη Karnaugh της συνάρτησης.

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας μόνο πύλες NOR πολλαπλών εισόδων.

Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.



ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 10 ΔΥΑΔΙΚΗ ΠΡΟΣΘΕΣΗ ΚΑΙ ΑΦΑΙΡΕΣΗ

I. Βασική Θεωρία

Δυαδική Πρόσθεση

Ημιαθροιστής

Το κύκλωμα που πραγματοποιεί την πρόσθεση των δύο ψηφίων χωρίς να λαμβάνει υπόψη τυχόν προηγούμενο κρατούμενο ονομάζεται **Ημιαθροιστής**. Ο Ημιαθροιστής έχει δύο εισόδους x και y (τα bit που προστίθενται) και δύο εξόδους C (κρατούμενο) και S (άθροισμα).

Ο πίνακας αληθείας του Ημιαθροιστή είναι:

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Οι εξισώσεις του Ημιαθροιστή είναι:

$$S = x'y + xy' = x \oplus y$$

$$C = xy$$

Πλήρης Αθροιστή

Το κύκλωμα που πραγματοποιεί την πρόσθεση των δύο ψηφίων λαμβάνοντας υπόψη τυχόν προηγούμενο κρατούμενο ονομάζεται **Πλήρης Αθροιστής**. Ο Πλήρης Αθροιστής έχει τρεις εισόδους x , y (τα bit που προστίθενται) και z (κρατούμενο εισόδου) και δύο εξόδους C (κρατούμενο εξόδου) και S (άθροισμα).

Ο πίνακας αληθείας του Πλήρη Αθροιστή είναι:

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Οι εξισώσεις του Πλήρη Αθροιστή είναι:

$$S = (x \oplus y) \oplus z$$

$$C = xy + (x \oplus y)z$$

Ενας Πλήρης Αθροιστής μπορεί να υλοποιηθεί με δύο Ημιαθροιστές και μία πύλη OR.

Δυναδική Αφαίρεση

Ημιαφαιρέτης

Το κύκλωμα που πραγματοποιεί την αφαίρεση των δύο ψηφίων χωρίς να υπολογίζει τυχόν προηγούμενο δανεικό ονομάζεται **Ημιαφαιρέτης**. Ο Ημιαφαιρέτης έχει δύο εισόδους x και y (τα bit που αφαιρούνται) και δύο εξόδους B (δανεικό) και D (διαφορά).

Ο πίνακας αλήθειας του Ημιαφαιρέτη είναι:

x	y	B	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

Οι εξισώσεις του Ημιαφαιρέτη είναι:

$$D = x \oplus y$$

$$B = x'y$$

Πλήρης Αφαιρέτης

Το κύκλωμα που πραγματοποιεί την αφαίρεση των δύο ψηφίων λαμβάνοντας υπόψη τυχόν προηγούμενο δανεικό ονομάζεται **Πλήρης Αφαιρέτης**. Ο Πλήρης Αφαιρέτης έχει τρεις εισόδους x , y (τα bit που προστίθενται) και z (δανεικό εισόδου) και δύο εξόδους B (δανεικό εξόδου) και D (διαφορά).

Ο πίνακας αλήθειας του Πλήρη Αφαιρέτη είναι:

x	y	z	B	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Οι εξισώσεις του Πλήρη Αφαιρέτη είναι:

$$D = (x \oplus y) \oplus z$$

$$B = x'y + (x \oplus y)z$$

Ενας Πλήρης Αφαιρέτης μπορεί να υλοποιηθεί με δύο Ημιαφαιρέτες και μία πύλη OR.

II. Πλακέτα Εργαστηρίου

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Ημιαθροιστή.
2. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Πλήρη Αθροιστή χρησιμοποιώντας δύο Ημιαθροιστές και μία πύλη OR.
3. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Ημιαφαιρέτη χρησιμοποιώντας έναν Ημιαθροιστή και πύλες NOT.
4. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Πλήρη Αφαιρέτη χρησιμοποιώντας έναν Πλήρη Αθροιστή και πύλες NOT.

III. Ολοκληρωμένα Κυκλώματα

1. Να υλοποιήσετε έναν παράλληλο δυαδικό αθροιστή 4-bit χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7483.
2. Να εκτελέσετε τις δυαδικές προσθέσεις:
0011+0100
0011+0111
0111+1010
1010+1111

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε έναν παράλληλο δυαδικό αθροιστή/αφαιρέτη 4-bit χρησιμοποιώντας τα ολοκληρωμένα κυκλώματα 7483 και 7486.
2. Να εκτελέσετε τις δυαδικές προσθέσεις/αφαιρέσεις:
0011+0111
0111+1010
1100-1001
1001-1100
Να σχεδιάσετε τις κυματομορφές εισόδου και την κυματομορφή εξόδου.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 11
ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ - ΑΠΟΠΛΕΚΤΕΣ

I. Βασική Θεωρία

Ο **Αποκωδικοποιητής** (Decoder) $n \times 2^n$ είναι ένα συνδυαστικό κύκλωμα που μετατρέπει την δυδική πληροφορία n γραμμών εισόδου σε 2^n γραμμές εξόδου που αποτελούν τους ελάχιστους όρους των μεταβλητών εισόδου.

Για παράδειγμα, ο Αποκωδικοποιητής 2×4 έχει δύο εισόδους A και B και τέσσερις εξόδους D0, D1, D2 και D3.

Ο πίνακας αληθείας του Αποκωδικοποιητή 2×4 είναι:

A	B	D0	D1	D2	D3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Οι συναρτήσεις εξόδου του Αποκωδικοποιητή 2×4 είναι:

$$D0 = A'B'$$

$$D1 = A'B$$

$$D2 = AB'$$

$$D3 = AB$$

Ο **Αποπλέκτης** (Demultiplexer) 1×2^n είναι ένα συνδυαστικό κύκλωμα που δέχεται πληροφορίες από μία γραμμή εισόδου και τις μεταβιβάζει σε μία από τις 2^n γραμμές εξόδου, ανάλογα με τις τιμές των n γραμμών επιλογής.

Ένας Αποκωδικοποιητής με είσοδο επιτροπής μπορεί να χρησιμοποιηθεί και ως Αποπλέκτης, οπότε ονομάζεται **Αποκωδικοποιητής/Αποπλέκτης**.

Ο Αποκωδικοποιητής/Αποπλέκτης παράγει στις εξόδους του τα συμπληρώματα των ελάχιστων όρων των μεταβλητών εισόδου, δηλαδή τους μέγιστους όρους των μεταβλητών εισόδου.

Για παράδειγμα, ο Αποκωδικοποιητής/Αποπλέκτης 2×4 έχει δύο εισόδους A και B και τέσσερις εξόδους D0, D1, D2 και D3.

Ο πίνακας αληθείας του Αποκωδικοποιητή/Αποπλέκτη 2×4 είναι:

A	B	D0'	D1'	D2'	D3'
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Οι συναρτήσεις εξόδου του Αποκωδικοποιητή/Αποπλέκτη 2×4 είναι:

$$D0' = A+B$$

$$D1' = A+B'$$

$$D2' = A'+B$$

$$D3' = A'+B'$$

Κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν **Αποκωδικοποιητή** $n \times 2^n$ και μία πύλη **OR**.

Η διαδικασία που ακολουθείται είναι η εξής:

- γράφεται η λογική συνάρτηση σε μορφή αθροίσματος ελαχίστων όρων
- σχεδιάζουμε το κύκλωμα με έναν Αποκωδικοποιητή $n \times 2^n$ και μία πύλη OR με εισόδους τους ελάχιστους όρους που αντιστοιχούν σε "1".

Κάθε συνδυαστικό κύκλωμα n εισόδων και m εξόδων μπορεί να υλοποιηθεί με έναν Αποκωδικοποιητή $n \times 2^n$ και m πύλες OR.

Κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν **Αποκωδικοποιητή/Αποπλέκτη** $n \times 2^n$ και μία πύλη **NAND**.

Κάθε συνδυαστικό κύκλωμα n εισόδων και m εξόδων μπορεί να υλοποιηθεί με έναν Αποκωδικοποιητή/Αποπλέκτη $n \times 2^n$ και m πύλες NAND.

II. Πλακέτα Εργαστηρίου

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Αποκωδικοποιητή 2×4 .

Να χρησιμοποιήσετε τον Αποκωδικοποιητή 2×4 και δύο πύλες OR για να υλοποιήσετε ένα συνδυαστικό κύκλωμα δύο εισόδων A και B και δύο εξόδων $F_1(A,B)=\Sigma(0,1,3)$ και $F_2(A,B)=\Sigma(0,2)$.

2. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Αποκωδικοποιητή/Αποπλέκτη 2×4 .

Να χρησιμοποιήσετε τον Αποκωδικοποιητή/Αποπλέκτη και δύο πύλες NAND για να υλοποιήσετε ένα συνδυαστικό κύκλωμα δύο εισόδων A και B και δύο εξόδων $F_1(A,B)=\Sigma(0,3)$ και $F_2(A,B)=\Sigma(1,2,3)$.

III. Ολοκληρωμένα Κυκλώματα

1. Να υλοποιήσετε έναν Αποκωδικοποιητή/Αποπλέκτη 3×8 χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74138.

2. Να χρησιμοποιήσετε το ολοκληρωμένα κυκλώματα 74138 και 7420 για να υλοποιήσετε τη συνάρτηση $F(A,B,C)=\Sigma(0,5,6,7)$

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε έναν Αποκωδικοποιητή/Αποπλέκτη 4×16 χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74154.

Να σχεδιάσετε το κύκλωμα και τις κυματομορφές εισόδων-εξόδων.

2. Να χρησιμοποιήσετε το ολοκληρωμένα κυκλώματα 74138 και 7420 για να υλοποιήσετε τη συνάρτηση $F(A,B,C,D)=\Sigma(0,1,14,15)$

Να σχεδιάσετε το κύκλωμα και τις κυματομορφές εισόδων-εξόδου.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 12 ΚΩΔΙΚΟΠΟΙΗΤΕΣ

I. Βασική Θεωρία

Ο **Κωδικοποιητής** (Encoder) 2^n χη είναι ένα συνδιαστικό κύκλωμα που έχει είσοδο από 2^n γραμμές και δίνει έξοδο από n γραμμές. Εκτελεί δηλαδή την αντίστροφη εργασία από αυτή του Αποκωδικοποιητή.

Ο Κωδικοποιητής 4×2 παράγει στην έξοδό του τον δυαδικό κώδικα που αντιστοιχεί στις εισόδους του.

Για παράδειγμα, ο Κωδικοποιητής 4×2 έχει τέσσερις εισόδους D0, D1, D2 και D3 και δύο εξόδους x και y.

Ο πίνακας αληθείας του Κωδικοποιητή 4×2 είναι:

D0	D1	D2	D3	x	y
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

Οι συναρτήσεις εξόδου του Κωδικοποιητή 4×2 είναι:

$$x = D2 + D3$$

$$y = D1 + D3$$

Αυτή η σχεδίαση του Κωδικοποιητή παρουσιάζει τα εξής δύο βασικά προβλήματα:

Πρόβλημα 1.

Όταν όλες οι εισοδοί ενός Κωδικοποιητή είναι "0", τότε όλες οι εξοδοί του Κωδικοποιητή είναι "0", γεγονός που πρέπει να συμβαίνει μόνον όταν το πλέον σημαντικό bit της εισόδου είναι "1" και όλα τα υπόλοιπα bits της εισόδου είναι "0" (αυτό απαιτεί η σωστή κωδικοποίηση).

Το πρόβλημα αυτό αντιμετωπίζεται με την προσθήκη μίας επιπλέον εξόδου στον Κωδικοποιητή, που ονομάζεται ενδείκτης έγκυρης εξόδου.

Πρόβλημα 2.

Όταν δύο ή περισσότερες εισοδοί ενός Κωδικοποιητή είναι "1", τότε μπορεί να προκύψει σφάλμα στην κωδικοποίηση.

Για παράδειγμα, αν οι εισοδοί του παραπάνω Κωδικοποιητή 4×2 είναι:

$$D0=0, D1=1, D2=1 \text{ και } D3=0$$

τότε από τις συναρτήσεις εξόδου του Κωδικοποιητή 4×2 προκύπτει ότι:

$$x = D2 + D3 = 1$$

$$y = D1 + D3 = 1$$

Οι εξοδοί όμως πρέπει να είναι:

$$x=1 \text{ και } y=1$$

μόνον όταν οι εισοδοί είναι:

$$D0=0, D1=0, D2=0 \text{ και } D3=1$$

(αυτό σημαίνει σωστή κωδικοποίηση)

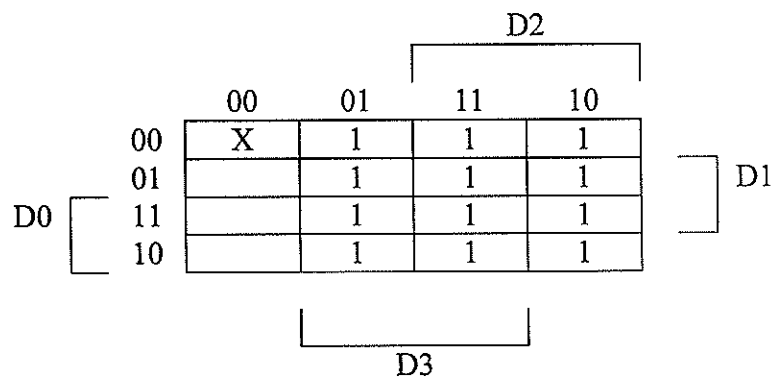
Το πρόβλημα αυτό αντιμετωπίζεται με τον καθορισμό προτεραιότητας στις εισόδους του Κωδικοποιητή: η είσοδος με την μεγαλύτερη προτεραιότητα καθορίζει την έξοδο.

Ο Κωδικοποιητής προτεραιότητας είναι ένας Κωδικοποιητής όπου αν δύο ή περισσότερες εισοδοί του είναι ταυτόχρονα “1”, τότε η είσοδος με την μεγαλύτερη προτεραιότητα καθορίζει την έξοδο του Κωδικοποιητή. Ο Κωδικοποιητής προτεραιότητας έχει μία έξοδο που ελέγχει την εγκυρότητα της εξόδου και ονομάζεται ενδείκτης έγκυρης εξόδου.

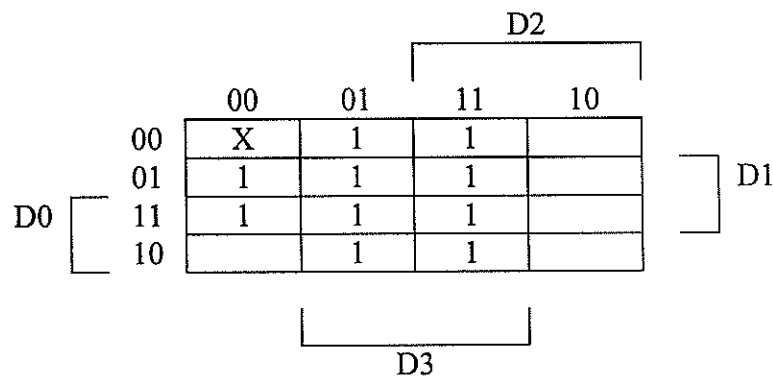
Για παράδειγμα, ο Κωδικοποιητής προτεραιότητας 4x2 έχει τέσσερις εισόδους D0, D1, D2 και D3 και τρεις εξόδους x, y και z (ενδείκτης έγκυρης εξόδου). Αν ο Κωδικοποιητής έχει προτεραιότητα από το D3 (μέγιστη προτεραιότητα) προς το D0 (ελάχιστη προτεραιότητα), τότε ο πίνακας αληθείας του Κωδικοποιητή προτεραιότητας είναι:

D0	D1	D2	D3	x	y	z
0	0	0	0	X	X	0
1	0	0	0	0	0	1
X	1	0	0	0	1	1
X	X	1	0	1	0	1
X	X	X	1	1	1	1

Οι χάρτες Karnaugh των συναρτήσεων εξόδου x και y του Κωδικοποιητή προτεραιότητας είναι:



Χάρτης Karnaugh της συνάρτησης εξόδου x του Κωδικοποιητή προτεραιότητας



Χάρτης Karnaugh της συνάρτησης εξόδου y του Κωδικοποιητή προτεραιότητας

Οι συναρτήσεις εξόδου του Κωδικοποιητή προτεραιότητας είναι:

$$x = D2 + D3$$

$$y = D1D2' + D3$$

$$z = D0 + D1 + D2 + D3$$

II. Πλακέτα Εργαστηρίου

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Κωδικοποιητή 4x2 που έχει τέσσερις εισόδους D0, D1, D2 και D3 και δύο εξόδους x και y.
2. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Κωδικοποιητή προτεραιότητας 4x2 που έχει τέσσερις εισόδους D0, D1, D2 και D3 και τρεις εξόδους x, y και z (ενδείκτης έγκυρης εξόδου) με προτεραιότητα από το D3 (μέγιστη προτεραιότητα) προς το D0 (ελάχιστη προτεραιότητα).

III. Ολοκληρωμένα Κυκλώματα

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Κωδικοποιητή 8x3 που έχει οκτώ εισόδους D0, D1, D2, D3, D4, D5, D6 και D7 και τρεις εξόδους x, y και z.
Να παρατηρήσετε ότι:
 $x=D4+D5+D6+D7$
 $y=D2+D3+D6+D7$
 $z=D1+D3+D5+D7$
2. Να υλοποιήσετε έναν Κωδικοποιητή προτεραιότητας 8x3 χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74148.
Τι προτεραιότητα έχει ο Κωδικοποιητής;

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε έναν Κωδικοποιητή προτεραιότητας 8x3 χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74148.
Να σχεδιάσετε το κύκλωμα και τις κυματομορφές εισόδων-εξόδων.
2. Ένας Κωδικοποιητής προτεραιότητας 4x2 που έχει τέσσερις εισόδους D0, D1, D2 και D3 και τρεις εξόδους x, y και z (ενδείκτης έγκυρης εξόδου) έχει τον παρακάτω πίνακα αληθείας:

D0	D1	D2	D3	x	y	z
0	0	0	0	X	X	0
1	X	X	X	0	0	1
0	1	X	X	0	1	1
0	0	1	X	1	0	1
0	0	0	1	1	1	1

- Να εκφράσετε τις εξόδους του Κωδικοποιητή x, y και z (ενδείκτης έγκυρης εξόδου) συναρτήσει των εισόδων του D0, D1, D2 και D3.
Να σχεδιάσετε το κύκλωμα και τις κυματομορφές εισόδων-εξόδων.
Τι προτεραιότητα έχει ο Κωδικοποιητής;

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 13
ΠΟΛΥΠΛΕΚΤΕΣ

I. Βασική Θεωρία

Ο **Πολυπλέκτης** (Multiplexer) $2^n \times 1$ είναι ένα συνδυαστικό κύκλωμα που επιλέγει δυαδικές πληροφορίες ανάμεσα σε 2^n γραμμές εισόδου ανάλογα με τις τιμές των n γραμμών επιλογής και τις κατευθύνει σε 1 γραμμή εξόδου.

Παράδειγμα.

Ο Πολυπλέκτης 2×1 έχει δύο εισόδους I_0 και I_1 , μία επιλογή S και μία έξοδο Y .

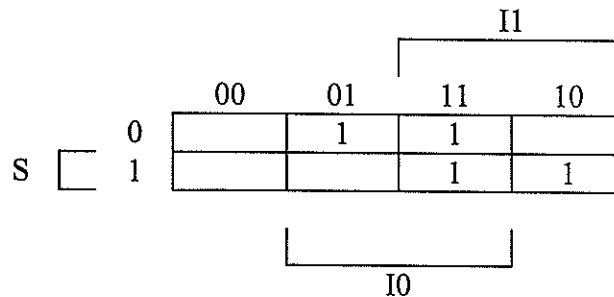
Ο πίνακας λειτουργίας του Πολυπλέκτη 2×1 είναι:

S	Y
0	I_0
1	I_1

Ο πίνακας αληθείας του Πολυπλέκτη 2×1 είναι:

S	I_1	I_0	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Ο χάρτης Karnaugh της συνάρτησης εξόδου του Πολυπλέκτη 2×1 είναι:



Η συνάρτηση εξόδου του Πολυπλέκτη 2×1 είναι: $Y = I_0S' + I_1S$

Κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν Πολυπλέκτη $2^n \times 1$. Οι n μεταβλητές εισόδου της συνάρτησης αποτελούν τις γραμμές επιλογής του Πολυπλέκτη. Οι εισοδοί του Πολυπλέκτη επιλέγονται κατάλληλα από τον πίνακα αληθείας της συνάρτησης. Η συνάρτηση αποτελεί την έξοδο του Πολυπλέκτη.

Παράδειγμα.

Η συνάρτηση τριών μεταβλητών

$$F(A,B,C)=\Sigma(1,3,5,6)$$

έχει τον πίνακα αληθείας :

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Η συνάρτηση μπορεί να υλοποιηθεί με έναν Πολυπλέκτη 8×1 που έχει οκτώ εισόδους $I_0, I_1, I_2, I_3, I_4, I_5, I_6, I_7$, τρεις επιλογές S_2, S_1, S_0 και μία έξοδο Y .

Οι μεταβλητές εισόδου της συνάρτησης αποτελούν τις γραμμές επιλογής του Πολυπλέκτη:

$$S_2=A, S_1=B, S_0=C$$

Οι εισοδοί του Πολυπλέκτη επιλέγονται κατάλληλα από τον πίνακα αληθείας της συνάρτησης:

$$I_0=0, I_1=1, I_2=0, I_3=1, I_4=0, I_5=1, I_6=1, I_7=0$$

Η συνάρτηση αποτελεί την έξοδο του Πολυπλέκτη:

$$Y=F$$

Η τεχνική αυτή εφαρμόζεται για την υλοποίηση πύλων πολλαπλών εισόδων με έναν Πολυπλέκτη. Κάθε πύλη n εισόδων μπορεί να υλοποιηθεί με έναν Πολυπλέκτη $2^n \times 1$. Οι n εισοδοί της πύλης αποτελούν τις επιλογές του Πολυπλέκτη. Οι εισοδοί του Πολυπλέκτη επιλέγονται κατάλληλα από τον πίνακα αληθείας της πύλης. Η έξοδος του Πολυπλέκτη αποτελεί την έξοδο της πύλης.

Κάθε συνδυαστικό κύκλωμα n εισόδων και m εξόδων μπορεί να υλοποιηθεί με m Πολυπλέκτες $2^{n-1} \times 1$.

Η τεχνική αυτή εφαρμόζεται για την υλοποίηση δομών διακλάδωσης με Πολυπλέκτες.

Κάθε Πολυπλέκτης με μία επιλογή μπορεί να χρησιμοποιηθεί για την υλοποίηση δομών διακλάδωσης if-then-else.

Κάθε Πολυπλέκτης με περισσότερες από μία επιλογές μπορεί να χρησιμοποιηθεί για την υλοποίηση δομών διακλάδωσης case.

Κάθε λογική συνάρτηση n μεταβλητών μπορεί να υλοποιηθεί με έναν Πολυπλέκτη $2^{n-1} \times 1$. Οι $n-1$ μεταβλητές εισόδου της συνάρτησης αποτελούν τις γραμμές επιλογής του Πολυπλέκτη. Κάθε είσοδος του Πολυπλέκτη είναι η n -οστή μεταβλητή ή το συμπλήρωμά της ή το "0" ή το "1", όπως προκύπτει από τον πίνακα υλοποίησης του Πολυπλέκτη. Η συνάρτηση αποτελεί την έξοδο του Πολυπλέκτη.

Παράδειγμα.

Η συνάρτηση τριών μεταβλητών

$$F(A,B,C)=\Sigma(1,3,5,6)$$

μπορεί να υλοποιηθεί με έναν Πολυπλέκτη 4×1 που έχει τέσσερις εισόδους I_0, I_1, I_2, I_3 , δύο επιλογές S_1, S_0 και μία έξοδο Y .

α) Αν τις μεταβλητές B και C χρησιμοποιηθούν ως επιλογές του Πολυπλέκτη: $S_1=B, S_0=C$ τότε, ο πίνακας υλοποίησης του Πολυπλέκτη είναι:

	I_0	I_1	I_2	I_3
A'	0	1	2	3
A	4	5	6	7
	0	1	A	A'

Οι εισοδοί του Πολυπλέκτη επιλέγονται κατάλληλα από τον πίνακα υλοποίησης του Πολυπλέκτη:

$$I_0=0, I_1=1, I_2=A, I_3=A'$$

Η συνάρτηση αποτελεί την έξοδο του Πολυπλέκτη:

$$Y=F$$

α) Αν τις μεταβλητές A και B χρησιμοποιηθούν ως επιλογές του Πολυπλέκτη: $S_1=A, S_0=B$ τότε, ο πίνακας υλοποίησης του Πολυπλέκτη είναι:

	I_0	I_1	I_2	I_3
C'	0	2	4	6
C	1	3	5	7
	C	C	C	C'

Οι εισοδοί του Πολυπλέκτη επιλέγονται κατάλληλα από τον πίνακα υλοποίησης του Πολυπλέκτη:

$$I_0=C, I_1=C, I_2=C, I_3=C'$$

Η συνάρτηση αποτελεί την έξοδο του Πολυπλέκτη:

$$Y=F$$

Κάθε συνδυαστικό κύκλωμα n εισόδων και m εξόδων μπορεί να υλοποιηθεί με m Πολυπλέκτες $2^{n-1} \times 1$.

II. Πλακέτα Εργαστηρίου

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Πολυπλέκτη 2x1 που έχει δύο εισόδους I0 και I1, μία επιλογή S και μία έξοδο Y.

2. Χρησιμοποιώντας τον Πολυπλέκτη 2x1 να υλοποιήσετε τη συνάρτηση δύο μεταβλητών $F(A,B)=\Sigma(1,2)$

Να χρησιμοποιήσετε τη μεταβλητή B ως επιλογή του Πολυπλέκτη.

Να συμπληρώσετε τον πίνακα υλοποίησης του Πολυπλέκτη.

	I0	I1
A'	0	1
A	2	3

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

3. Να υλοποιήσετε την παρακάτω δομή διακλάδωσης if-then-else

if S=0 then F=xy else F=x+y

χρησιμοποιώντας έναν Πολυπλέκτη 2x1.

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

4. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Πολυπλέκτη 4x1 που έχει τέσσερις εισόδους I0, I1, I2 και I3, δύο επιλογές S1 και S0 και μία έξοδο Y.

Να συμπληρώσετε τον πίνακα λειτουργίας:

S1	S0	Y

Να παρατηρήσετε ότι:

$$Y=I0S1'S0'+I1S1'S0+I2S1S0'+I3S1S0$$

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα του Πολυπλέκτη 4x1.

5. Χρησιμοποιώντας τον Πολυπλέκτη 4x1 να υλοποιήσετε τη συνάρτηση τριών μεταβλητών $F(A,B,C)=\Sigma(0,2,4,5)$

α) Να χρησιμοποιήσετε τις μεταβλητές B και C ως επιλογές του Πολυπλέκτη.

β) Να χρησιμοποιήσετε τις μεταβλητές A και B ως επιλογές του Πολυπλέκτη.

Να συμπληρώσετε τους πίνακες υλοποίησης των Πολυπλεκτών.

	I0	I1	I2	I3
A'	0	1	2	3
A	4	5	6	7

	I0	I1	I2	I3
C'	0	2	4	6
C	1	3	5	7

Να σχεδιάσετε και να υλοποιήσετε τα κυκλώματα.

III. Ολοκληρωμένα Κυκλώματα

1. Να υλοποιήσετε έναν Πολυπλέκτη 8x1 χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74151.
2. Χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74151 να υλοποιήσετε μία πύλη NOR τριών εισόδων εφαρμόζοντας την τεχνική υλοποίησης πύλης πολλαπλών εισόδων με Πολυπλέκτη.
3. Χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74151 να υλοποιήσετε την παρακάτω δομή διακλάδωσης case
case S=0 F=x'
S=1 F=y'
S=2 F=xy
S=3 F=x+y
S=4 F=(xy)'
S=5 F=(x+y)'
S=6 F=(x⊕y)
S=7 F=x⊙y

Να επιλέξετε τα κατάλληλα ολοκληρωμένα κυκλώματα για την υλοποίηση των πυλών.
Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε έναν Πολυπλέκτη 8x1 χρησιμοποιώντας το κατάλληλο ολοκληρωμένο κύκλωμα.
2. Σε μία εταιρεία υπάρχουν τρεις μέτοχοι x, y και z και ο καθένας έχει τις ακόλουθες ψήφους: ο μέτοχος x έχει 1 ψήφο, ο μέτοχος y έχει 2 ψήφους και ο μέτοχος z έχει 3 ψήφους. Να σχεδιάσετε ένα συνδυαστικό κύκλωμα που υπολογίζει το σύνολο των ψήφων ΝΑΙ σε μία ψηφοφορία. Το κύκλωμα έχει τρεις εισόδους x, y και z. Η κάθε είσοδος είναι "0" που αντιστοιχεί σε ψήφο ΝΑΙ ή "1" που αντιστοιχεί σε ψήφο ΟΧΙ. Το κύκλωμα έχει τρεις εξόδους C, B και A που αποτελούν την δυαδική αναπαράσταση του συνόλου των ψήφων ΝΑΙ. Να συμπληρώσετε τον πίνακα αληθείας του κυκλώματος:

x	y	z	C	B	A
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

Να σχεδιάσετε το κύκλωμα χρησιμοποιώντας τρεις Πολυπλέκτες 8x1.
Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 14 FLIP-FLOPS

I. Βασική Θεωρία

Βασικά στοιχεία των ψηφιακών κυκλωμάτων είναι οι πύλες. Το χαρακτηριστικό των πυλών είναι ότι η έξοδός τους σε κάποια χρονική στιγμή εξαρτάται αποκλειστικά από την είσοδό τους την συγκεκριμένη χρονική στιγμή και όχι από προηγούμενες καταστάσεις τους. Δηλαδή οι πύλες δεν έχουν μνήμη. Αντίθετα, τα **flip-flops** είναι τα βασικά στοιχεία μνήμης τα οποία μπορούν να αποθηκεύσουν μία δυαδική πληροφορία. Η πληροφορία αυτή που είναι το "1" ή το "0" παραμένει σταθερή μέχρις ότου το flip-flop να ξαναδιεγερθεί.

Το flip-flop έχει μία ή δύο **σύγχρονες εισόδους** και δύο εξόδους, την **κατάσταση** του flip-flop που συμβολίζεται με Q και το συμπλήρωμά της που συμβολίζεται με Q'.

Το flip-flop έχει μία **είσοδος ρολογιού** (clock), η άφιξη των παλμών του οποίου είναι υπεύθυνη για την πιθανή αλλαγή της κατάστασης του flip-flop, ανάλογα με τα δεδομένα των σύγχρονων εισόδων του. Η διαδικασία αυτή ονομάζεται **σκανδαλισμός** (triggering).

Το flip-flop έχει δύο **ασύγχρονες εισόδους** CLEAR και PRESET που υπερισχύουν των σύγχρονων εισόδων και μπορούν να οδηγήσουν την έξοδο, ανεξάρτητα του παλμού ρολογιού.

Ο πίνακας λειτουργίας του flip-flop είναι:

CLEAR	PRESET	ΛΕΙΤΟΥΡΓΙΑ
0	0	Αχρησιμοποίητη Κατάσταση
0	1	Ασύγχρονος Μηδενισμός
1	0	Ασύγχρονη Θέση
1	1	Σύγχρονη Λειτουργία

Το **J-K flip-flop** έχει δύο σύγχρονες εισόδους J και K.

Ο χαρακτηριστικός πίνακας του J-K flip-flop είναι:

Χαρακτηριστικός πίνακας J-K flip-flop

J	K	Q(t+1)	ΛΕΙΤΟΥΡΓΙΑ
0	0	Q(t)	Αμετάβλητη Κατάσταση
0	1	0	Σύγχρονος Μηδενισμός
1	0	1	Σύγχρονη Θέση
1	1	Q'(t)	Αντιστροφή (Toggle)

Η χαρακτηριστική εξίσωση του JK flip-flop είναι:

$$Q(t+1) = JQ'(t) + K'Q(t)$$

Ο πίνακας διέγερσης του J-K flip-flop είναι:

Πίνακας διέγερσης J-K flip-flop

Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Το **T flip-flop** έχει μία σύγχρονη είσοδο T. Το όνομά του προέρχεται από τη δυνατότητά του να αντιστρέφει (Toggle) την κατάσταση του.

Ο χαρακτηριστικός πίνακας του T flip-flop είναι:

Χαρακτηριστικός πίνακας T flip-flop

T	Q(t+1)	ΛΕΙΤΟΥΡΓΙΑ
0	Q(t)	Αμετάβλητη Κατάσταση
1	Q'(t)	Αντιστροφή (Toggle)

Η χαρακτηριστική εξίσωση του T flip-flop είναι:

$$Q(t+1) = TQ'(t) + T'Q(t) = T \oplus Q$$

Ο πίνακας διέγερσης του T flip-flop είναι:

Πίνακας διέγερσης T flip-flop

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

Το T flip-flop μπορεί να υλοποιηθεί χρησιμοποιώντας ένα J-K flip-flop βραχυκυκλώνοντας τις εισόδους J και K, δηλαδή θέτοντας

$$J = T$$

και

$$K = T$$

Το **D flip-flop** έχει μία σύγχρονη είσοδο D. Το όνομά του προέρχεται από τη δυνατότητά του να αποθηκεύει δεδομένα (Data) και να καθυστερεί τη διάδοσή τους (Delay).

Ο χαρακτηριστικός πίνακας του D flip-flop είναι:

Χαρακτηριστικός πίνακας D flip-flop

D	Q(t+1)	ΛΕΙΤΟΥΡΓΙΑ
0	0	Σύγχρονος Μηδενισμός
1	1	Σύγχρονη Θέση

Η χαρακτηριστική εξίσωση του D flip-flop είναι η ακόλουθη:

$$Q(t+1)=D$$

Ο πίνακας διέγερσης του D flip-flop είναι:

Πίνακας διέγερσης D flip-flop

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

Το D flip-flop μπορεί να υλοποιηθεί χρησιμοποιώντας ένα J-K flip-flop και μία πύλη NOT, θέτοντας

$$J=D$$

και

$$K=D'$$

II. Πλακέτα Εργαστηρίου

1. Να γίνει έλεγχος της λειτουργίας των ασύγχρονων εισόδων του J-K flip-flop, συμπληρώνοντας τον παρακάτω πίνακα λειτουργίας:

CLEAR	PRESET	ΛΕΙΤΟΥΡΓΙΑ
0	1	Ασύγχρονος Μηδενισμός
1	0	Ασύγχρονη Θέση

2. Να γίνει έλεγχος της λειτουργίας των σύγχρονων εισόδων του J-K flip-flop, συμπληρώνοντας τον παρακάτω χαρακτηριστικό πίνακα:

Q(t)	J	K	Q(t+1)
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

3. Να σχεδιάσετε και να υλοποιήσετε ένα T flip-flop με χρησιμοποιώντας ένα JK flip-flop. Να γίνει έλεγχος της λειτουργίας της σύγχρονης εισόδου του T flip-flop, συμπληρώνοντας τον παρακάτω χαρακτηριστικό πίνακα:

Q(t)	T	Q(t+1)
0	0	
0	1	
1	0	
1	1	

4. Να σχεδιάσετε και να υλοποιήσετε ένα D flip-flop με χρησιμοποιώντας ένα JK flip-flop. Να γίνει έλεγχος της λειτουργίας της σύγχρονης εισόδου του D flip-flop, συμπληρώνοντας τον παρακάτω χαρακτηριστικό πίνακα:

Q(t)	D	Q(t+1)
0	0	
0	1	
1	0	
1	1	

III. Ολοκληρωμένα Κυκλώματα

1. Να υλοποιήσετε ένα J-K flip-flop χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74112.
2. Να σχεδιάσετε και να υλοποιήσετε ένα T flip-flop με χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74112.
3. Να υλοποιήσετε ένα D flip-flop χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7474.

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε ένα J-K flip-flop χρησιμοποιώντας το κατάλληλο ολοκληρωμένο κύκλωμα. Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.
2. Να σχεδιάσετε ένα T flip-flop χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα. Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.
3. Να σχεδιάσετε ένα D flip-flop χρησιμοποιώντας το κατάλληλο ολοκληρωμένο κύκλωμα. Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 15 ΚΑΤΑΧΩΡΗΤΕΣ

I. Βασική Θεωρία

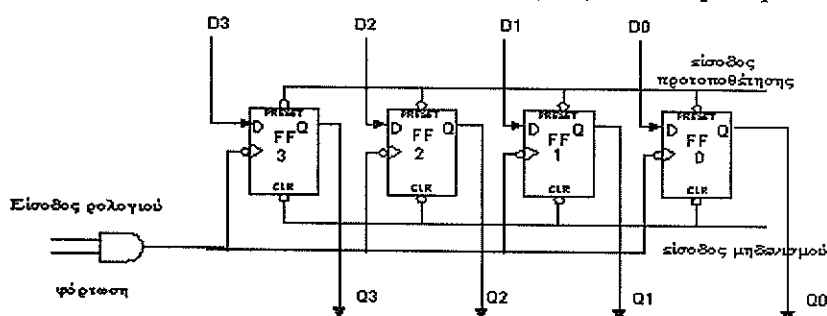
Ένας **καταχωρητής** (register) είναι ένα κύκλωμα που χρησιμοποιείται για την αποθήκευση πληροφοριών.

Ένα flip-flop μπορεί να αποθηκεύσει ένα (1) bit πληροφορίας. Επομένως, αν χρησιμοποιηθούν n flip-flops μπορούν να αποθηκευτούν n-bit λέξεις. Ένας καταχωρητής των n bit μπορεί να αποθηκεύσει n bit πληροφορία και κατασκευάζεται από μία ομάδα από n flip-flops και πύλες για τον έλεγχο της μεταφοράς πληροφορίας από και προς τον καταχωρητή.

Υπάρχουν δύο βασικά είδη καταχωρητών:

- ο **στατικός καταχωρητής**, ο οποίος αποτελείται από ανεξάρτητα flip-flops στα οποία μπορεί να αποθηκευτεί μία πληροφορία και να λαμβάνεται όποτε χρειαστεί
- ο **καταχωρητής ολίσθησης** (shift register), το περιεχόμενο του οποίου ολισθαίνει (μετακινείται) κατά μία θέση σε κάθε εφαρμογή του παλμού ρολογιού

Ένας στατικός καταχωρητής 4 bit μπορεί να υλοποιηθεί με 4 D flip-flops:



Στατικός καταχωρητής 4 bit

Η είσοδος ελέγχου «φόρτωση» επιτρέπει ή απαγορεύει στους παλμούς του ρολογιού να περάσουν στα flip-flops του καταχωρητή. Αν η είσοδος φόρτωσης είναι "0", τότε η έξοδος της πύλης AND είναι "0" και ανεξάρτητα από το αν υπάρχουν παλμοί στην είσοδο ρολογιού, τα flip-flops δεν θα δέχονται παλμούς, με αποτέλεσμα τα δεδομένα του καταχωρητή να μην αλλάζουν. Αν η είσοδος φόρτωσης είναι "1", τότε τα flip-flops θα ταυτόχρονα παλμούς ρολογιού ταυτόχρονα (η είσοδος ρολογιού είναι κοινή για τα flip-flops), με αποτέλεσμα τα δεδομένα που βρίσκονται στις εισόδους D0, D1, D2 και D3 (το D0 είναι το LSB και το D3 είναι το MSB) να μεταφέρονται στα 4 flip-flops του καταχωρητή ταυτόχρονα. Οι τέσσερις εξόδοι Q1, Q2, Q3 και Q4 των flip-flops αποτελούν τις εξόδους του καταχωρητή. Η μεταφορά της πληροφορίας από τις εισόδους στις εξόδους του καταχωρητή ονομάζεται **φόρτωση** (loading).

Με αυτόν τον τρόπο φορτώνονται νέα δεδομένα στον καταχωρητή. Για παράδειγμα, αν οι εισόδοι των flip-flops είναι D3=1, D2=0, D1=1 και D0=1, τότε οι εξόδοι των flip-flops γίνονται Q3=1, Q2=0, Q1=1 και Q0=1, με αποτέλεσμα στον καταχωρητή να αποθηκευθεί η πληροφορία 1011.

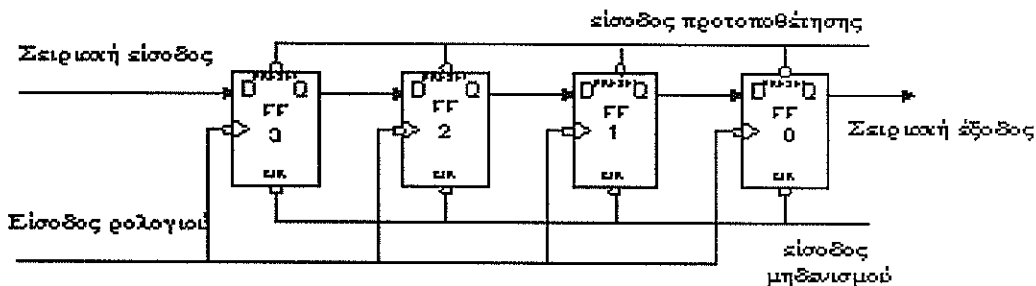
Ο καταχωρητής ολίσθησης (shift register) είναι ένας καταχωρητής, όπου η έξοδος του κάθε flip-flop τροφοδοτεί την είσοδο του γειτονικού του. Έτσι, τα δεδομένα του καταχωρητή ολισθαίνουν από κάθε flip-flop στο γειτονικό του με κάθε παλμό ρολογιού.

Ανάλογα με την κατεύθυνση ολίσθησης, ο καταχωρητής ονομάζεται **καταχωρητής δεξιάς ολίσθησης** αν ολισθαίνει τα δεδομένα προς τα δεξιά ή **καταχωρητής αριστερής ολίσθησης** αν ολισθαίνει τα δεδομένα προς τα αριστερά. Αν η έξοδος του τελευταίου flip-flop είναι συνδεδεμένη στην είσοδο του πρώτου, τότε ο καταχωρητής ονομάζεται **καταχωρητής κυκλικής ολίσθησης**. Σε έναν καταχωρητή ολίσθησης είναι δυνατόν να ολισθήσουμε το περιεχόμενο είτε προς τα δεξιά είτε προς τα αριστερά, οπότε ο καταχωρητής ονομάζεται **αμφίδρομος καταχωρητής ολίσθησης**. Ο έλεγχος της κατεύθυνσης της ολίσθησης επιτυγχάνεται με εισόδους ελέγχου.

Ανάλογα με τον τρόπο τοποθέτησης των δεδομένων εισόδου και τον τρόπο εξόδου των περιεχομένων ενός καταχωρητή ολίσθησης μπορούμε να τους κατατάξουμε σε τέσσερις κατηγορίες:

- Σειριακής εισόδου- σειριακής εξόδου (serial-in, serial-out :**SISO**)
- Σειριακής εισόδου-παράλληλης εξόδου (serial-in, parallel-out: **SIPO**)
- Παράλληλης εισόδου- εξόδου (parallel-in, serial-out: **PISO**)
- Παράλληλης εισόδου- παράλληλης εξόδου (parallel-in, parallel-out: **PIPO**)

Ένας καταχωρητής δεξιάς ολίσθησης SISO 4 bit μπορεί να υλοποιηθεί με 4 D flip-flops:



Καταχωρητής δεξιάς ολίσθησης SISO 4 bit

Στον καταχωρητή ολίσθησης σειριακής εισόδου-σειριακής εξόδου (SISO) τα δεδομένα τοποθετούνται σειριακά (διαδοχικά) το ένα bit μετά το άλλο στην είσοδο και εξέρχονται σειριακά (διαδοχικά) από την έξοδό του. Η τοποθέτηση γίνεται με την εφαρμογή παλμών στην κοινή είσοδο ρολογιού των flip-flops του καταχωρητή ολίσθησης. Η έξοδος του κάθε flip-flop συνδέεται στην είσοδο του γειτονικού του, ενώ η είσοδος του ρολογιού είναι κοινή για όλα τα flip-flops του καταχωρητή. Η είσοδος δεδομένων του πρώτου από αριστερά flip-flop αποτελεί τη σειριακή είσοδο των δεδομένων του καταχωρητή, ενώ η έξοδος του τελευταίου flip-flop αποτελεί τη σειριακή έξοδο των δεδομένων του καταχωρητή ολίσθησης.

II. Πλακέτα Εργαστηρίου

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός στατικού καταχωρητή 4 bit χρησιμοποιώντας D flip-flops.

Να φορτώσετε στον στατικό καταχωρητή τη δυαδική λέξη 1101 και να συγκρίνετε το περιεχόμενο των εξόδων με το αντίστοιχο περιεχόμενο των εισόδων πριν και μετά τον παλμό του ρολογιού.

2. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός καταχωρητή δεξιάς ολίσθησης σειριακής εισόδου- σειριακής εξόδου (SISO) 4 bit χρησιμοποιώντας D flip-flops.

Έχοντας στην είσοδο το λογικό "1" να στείλετε τον πρώτο παλμό και στη συνέχεια να θέσετε στην είσοδο το λογικό "0" και να στείλετε αλληπάληλους παλμούς. Να επιβεβαιώσετε την σωστή λειτουργία του καταχωρητή ολίσθησης συμπληρώνοντας τον πίνακα:

παλμός ρολογιού	Q1	Q2	Q3	Q4
0	0	0	0	0
1				
2				
3				
4				
5				
6				
7				

III. Ολοκληρωμένα Κυκλώματα

1. Να υλοποιήσετε έναν αμφίδρομο καταχωρητή ολίσθησης χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74194.

2. Να φορτώσετε στον καταχωρητή τη δυαδική λέξη 1101 και να κάνετε ολίσθηση των δεδομένων δεξιά και αριστερά.

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε έναν αμφίδρομο καταχωρητή ολίσθησης χρησιμοποιώντας το κατάλληλο ολοκληρωμένο κύκλωμα.

2. Να φορτώσετε στον καταχωρητή τη δυαδική λέξη 1101 και να κάνετε ολίσθηση των δεδομένων δεξιά και αριστερά.

Να σχεδιάσετε τις κυματομορφές του ρολογιού και των εξόδων του καταχωρητή.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 16 ΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

I. Βασική Θεωρία

Ένα Ακολουθιακό Κύκλωμα αποτελείται από:

- ένα Συνδυαστικό Κύκλωμα
- στοιχεία μνήμης

Τα στοιχεία μνήμης μπορούν να αποθηκεύσουν δυαδικές πληροφορίες που αποτελούν την παρούσα κατάσταση του στοιχείου μνήμης (state) κάθε χρονική στιγμή.

Οι έξοδοι και η επόμενη κατάσταση των στοιχείων μνήμης ενός Ακολουθιακού Κυκλώματος είναι συναρτήσεις των εισόδων και της παρούσας κατάστασης των στοιχείων μνήμης του Ακολουθιακού Κυκλώματος.

Τα Ακολουθιακά Κυκλώματα ανήκουν σε μία από τις δύο ακόλουθες βασικές κατηγορίες:

- **Σύγχρονα Ακολουθιακά Κυκλώματα**
- **Ασύγχρονα Ακολουθιακά Κυκλώματα**

Τα στοιχεία μνήμης ενός Σύγχρονου Ακολουθιακού Κυκλώματος είναι flip-flops τα οποία μπορούν να διατηρηθούν σε μία κατάσταση έως ότου κάποιο σήμα εισόδου τα κάνει να αλλάξουν κατάσταση.

Σε ένα Σύγχρονο Ακολουθιακό Κύκλωμα μία γεννήτρια κύριου ρολογιού (master clock generator) τροφοδοτεί το κύκλωμα με παλμούς ρολογιού που διανέμονται παντού στο κύκλωμα ώστε να επιτευχθεί ο συγχρονισμός (synchronization).

Η μέθοδος σχεδίασης ενός Σύγχρονου Ακολουθιακού Κυκλώματος (ΣΑΚ) είναι η ακόλουθη:

1. Περιγραφή της επιθυμητής λειτουργίας του ΣΑΚ
2. Κατασκευή του Διαγράμματος Καταστάσεων του ΣΑΚ
3. Κατασκευή του Πίνακα Καταστάσεων του ΣΑΚ
4. Ελαχιστοποίηση των καταστάσεων του ΣΑΚ
5. **Καθορισμός του πλήθους των flip-flops που απαιτούνται για την σχεδίαση του ΣΑΚ (για n καταστάσεις απαιτούνται $\lceil \log_2 n \rceil$ flip-flops ή ισοδύναμα όταν το πλήθος των καταστάσεων $\in [2^{n-1}+1, 2^n]$ τότε απαιτούνται n flip-flops)**
6. **Επιλογή του τύπου των flip-flops που θα χρησιμοποιηθούν στην σχεδίαση του ΣΑΚ (JK flip-flop, T flip-flop, D flip-flop)**
7. Κατασκευή του Πίνακα Διέγερσης του ΣΑΚ
8. Υπολογισμός και απλοποίηση των συναρτήσεων εισόδων των flip-flops και των συναρτήσεων εξόδου του ΣΑΚ
9. Σχεδίαση του ΣΑΚ

II. Πλακέτα Εργαστηρίου

Ένα Σύγχρονο Ακολουθιακό Κύκλωμα (ΣΑΚ) έχει:

- μία είσοδο x
- δύο JK flip-flops A και B με συναρτήσεις εισόδου:
 $JA = \Sigma(2)$ με $d = \Sigma(4,5,6,7)$
 $KA = \Sigma(7)$ με $d = \Sigma(0,1,2,3)$ για το A JK flip-flop
 και
 $JB = \Sigma(1,5)$ με $d = \Sigma(2,3,6,7)$
 $KB = \Sigma(2,7)$ με $d = \Sigma(0,1,4,5)$ για το B JK flip-flop

Να συμπληρώσετε τον πίνακα καταστάσεων του ΣΑΚ:

Παρούσα κατάσταση		Είσοδος ΣΑΚ x	Επόμενη κατάσταση		Είσοδοι flip-flops			
A	B		A	B	JA	KA	JB	KB
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

Υπενθυμίζεται ότι ο πίνακας διέγερσης του JK flip-flop είναι:

Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Να φτιάξετε το διάγραμμα καταστάσεων του ΣΑΚ.

Να εκφράσετε τις εισόδους των JK flip-flops συναρτήσει της παρούσας κατάστασης A και B και της εισόδου x του ΣΑΚ.

Να σχεδιάσετε και να υλοποιήσετε το Σύγχρονο Ακολουθιακό Κύκλωμα.

III. Ολοκληρωμένα Κυκλώματα

Ένα Σύγχρονο Ακολουθιακό Κύκλωμα (ΣΑΚ) έχει:

- μία είσοδο x
- δύο T flip-flops A και B με συναρτήσεις εισόδου:
TA=Σ(3,5) για το A JK flip-flop
και
TB=Σ(1,7) για το B JK flip-flop

Να συμπληρώσετε τον πίνακα καταστάσεων του ΣΑΚ:

Παρούσα κατάσταση		Είσοδος ΣΑΚ	Επόμενη κατάσταση		Είσοδοι flip-flops	
A	B	x	A	B	TA	TB
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

Υπενθυμίζεται ότι ο πίνακας διέγερσης του T flip-flop είναι:

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

Να φτιάξετε το διάγραμμα καταστάσεων του ΣΑΚ.

Να εκφράσετε τις εισόδους των T flip-flops συναρτήσει της παρούσας κατάστασης A και B και της εισόδου x του ΣΑΚ.

Να σχεδιάσετε και να υλοποιήσετε το Σύγχρονο Ακολουθιακό Κύκλωμα χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

IV. Πακέτο Λογισμικού

Ένα Σύγχρονο Ακολουθιακό Κύκλωμα (ΣΑΚ) έχει:

- μία είσοδο x
- δύο D flip-flops A και B με συναρτήσεις εισόδου:
 $DA=(A+B)x$ για το A D flip-flop
και
 $DB=A'x$ για το B D flip-flop
και
- μία έξοδο y με συνάρτηση εξόδου:
 $y=(A+B)x'$

Να συμπληρώσετε τον πίνακα καταστάσεων του ΣΑΚ:

Παρούσα κατάσταση		Είσοδος ΣΑΚ	Επόμενη κατάσταση		Είσοδοι flip-flops		Έξοδος ΣΑΚ
A	B	x	A	B	DA	DB	y
0	0	0					
0	0	1					
0	1	0					
0	1	1					
1	0	0					
1	0	1					
1	1	0					
1	1	1					

Υπενθυμίζεται ότι ο πίνακας διέγερσης του D flip-flop είναι:

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

Να φτιάξετε το διάγραμμα καταστάσεων του ΣΑΚ.

Να εκφράσετε την έξοδο y του ΣΑΚ και τις εισόδους των D flip-flops συναρτήσει της παρούσας κατάστασης A και B και της εισόδου x του ΣΑΚ.

Να σχεδιάσετε το Σύγχρονο Ακολουθιακό Κύκλωμα.

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 17 ΑΠΑΡΙΘΜΗΤΕΣ

I. Βασική Θεωρία

Οι **Απαριθμητές** (Counters) χωρίζονται σε δύο κατηγορίες ανάλογα με τον τρόπο υλοποίησής τους:

- **Ασύγχρονοι Απαριθμητές** (asynchronous counters)
- **Σύγχρονοι Απαριθμητές** (synchronous counters)

Οι απαριθμητές κατασκευάζονται από flip-flops διάφορων τύπων κατάλληλα συνδεδεμένα μεταξύ τους.

Στους ασύγχρονους απαριθμητές οι εισοδοί ρολογιού των flip-flops, που τους αποτελούν, δεν είναι κοινές, αλλά οδηγούνται από την έξοδο του προηγούμενου flip-flop, με αποτέλεσμα τα flip-flops να μην αλλάζουν ταυτόχρονα κατάσταση, αλλά οι αλλαγές των καταστάσεών τους να μεταδίδονται σαν κυμάτωση (ripple) από το ένα flip-flop προς το άλλο.

Στους σύγχρονους απαριθμητές, οι εισοδοί ρολογιού των flip-flops, που τους αποτελούν είναι κοινές (η κοινή αυτή είσοδος ονομάζεται είσοδος ρολογιού του απαριθμητή), με αποτέλεσμα όλα τα flip-flops να αλλάζουν κατάσταση ταυτόχρονα.

Ανάλογα με την ροή απαρίθμησης οι απαριθμητές ανήκουν σε μία από τις ακόλουθες κατηγορίες:

- **Προς τα Πάνω Απαριθμητής**
- **Προς τα Κάτω Απαριθμητής**
- **Αμφίδρομος Απαριθμητής**

Οι απαριθμητές απαριθμούν έως ένα μέγιστο αριθμό παλμών και στη συνέχεια το περιεχόμενό τους μηδενίζεται (ή ισοδύναμα αρχίζουν την απαρίθμηση από την αρχή). Ένας **Απαριθμητής modulo N** απαριθμεί N παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και N-1). Ο **Δυαδικός Απαριθμητής 4 bit** απαριθμεί 16 παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και 15) και ονομάζεται **Απαριθμητής modulo 16**. Ο **BCD Απαριθμητής** απαριθμεί 10 παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και 9) και ονομάζεται **Απαριθμητής modulo 10** ή **Δεκαδικός Απαριθμητής**.

II. Πλακέτα Εργαστηρίου

1. Να σχεδιάσετε και να υλοποιήσετε έναν Προς τα Πάνω Ασύγχρονο Δυαδικό Απαριθμητή 4 bit χρησιμοποιώντας JK flip-flops. Να επιβεβαιώσετε τη σωστή λειτουργία του Απαριθμητή στέλνοντας αλληπαλλήλους παλμούς.

2. Να σχεδιάσετε και να υλοποιήσετε έναν Προς τα Πάνω Σύγχρονο Δυαδικό Απαριθμητή 3 bit χρησιμοποιώντας JK flip-flops.

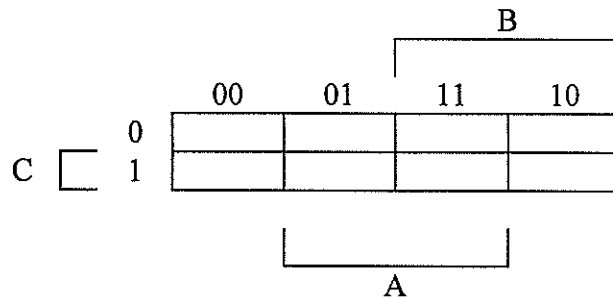
Ο Απαριθμητής μετράει την ακολουθία 0-1-2-3-4-5-6-7 και πάλι από την αρχή.

Ο Απαριθμητής είναι ένα Σύγχρονο Ακολουθιακό Κύκλωμα που έχει 8 καταστάσεις (0, 1, 2, 3, 4, 5, 6 και 7) και επομένως υλοποιείται με 3 flip-flops ($2^3=8$). Να χρησιμοποιήσετε 3 T flip-flops.

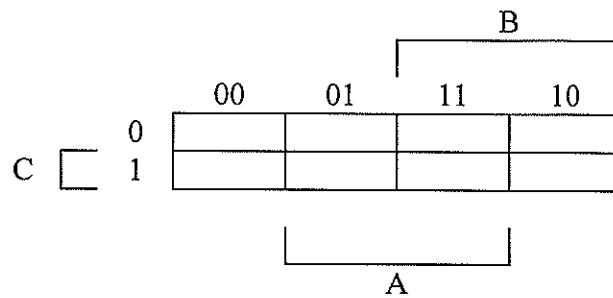
Να συμπληρώσετε τον πίνακα καταστάσεων του κυκλώματος:

Προηγούμενη κατάσταση			Επόμενη κατάσταση			Είσοδοι flip-flops		
C	B	A	C	B	A	TC	TB	TA
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

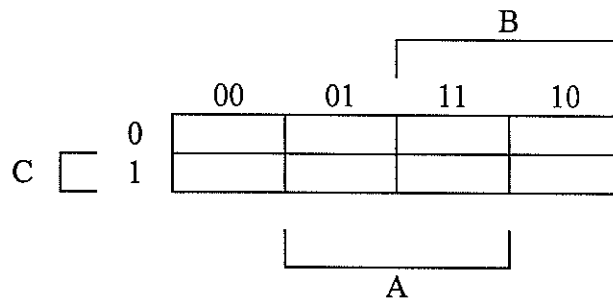
Να απλοποιήσετε τις συναρτήσεις εισόδων των 3 flip-flops TC, TB και TA χρησιμοποιώντας χάρτες Karnaugh.



Χάρτης Karnaugh για τη συνάρτηση TC



Χάρτης Karnaugh για τη συνάρτηση TB



Χάρτης Karnaugh για τη συνάρτηση TA

Να γράψετε τις απλοποιημένες συναρτήσεις εισόδου των T flip-flops.

Για την υλοποίηση του Απαριθμητή απαιτούνται T flip-flops.

Υπενθυμίζεται ότι ένα T flip-flop μπορεί να υλοποιηθεί με ένα JK flip-flop του οποίου οι είσοδοι J και K είναι βραχυκυκλωμένες.

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

Να συνδέσετε τις εξόδους των flip-flops του Απαριθμητή στον Ενδείκτη Δεκαδικού Ψηφίου (Display).

Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

3. Να σχεδιάσετε και να υλοποιήσετε έναν Προς τα Κάτω Σύγχρονο Δυαδικό Απαριθμητή 3 bit χρησιμοποιώντας τον Προς τα Κάτω Σύγχρονο Δυαδικό Απαριθμητή 3 bit.

Να συνδέσετε τις συμπληρωματικές εξόδους των flip-flops του Προς τα Πάνω Σύγχρονου Δυαδικού Απαριθμητή στον Ενδείκτη Δεκαδικού Ψηφίου (Display).

Να επιβεβαιώσετε την σωστή λειτουργία του Απαριθμητή στέλνοντας αλληπαλλήλους παλμούς.

4. Ένας Σύγχρονος Δυαδικός Απαριθμητής μετράει την ακολουθία 0-2-4-6 και πάλι από την αρχή. Αν το κύκλωμα βρεθεί σε αχρησιμοποίητη κατάσταση, τότε ο επόμενος παλμός του ρολογιού θα φέρει το κύκλωμα στην κατάσταση 0.

Ο Απαριθμητής είναι ένα Σύγχρονο Ακολουθιακό Κύκλωμα που έχει 8 καταστάσεις (0, 1, 2, 3, 4, 5, 6 και 7), από τις οποίες χρησιμοποιούνται οι 4 και οι υπόλοιπες 4 είναι αχρησιμοποίητες. Επομένως υλοποιείται με 3 flip-flops. Να χρησιμοποιήσετε 3 T flip-flops.

Να συμπληρώσετε τον πίνακα καταστάσεων του κυκλώματος:

Προηγούμενη κατάσταση			Επόμενη κατάσταση			Είσοδοι flip-flops		
C	B	A	C	B	A	TC	TB	TA
0	0	0						
0	0	1						
0	1	0						
0	1	1						
1	0	0						
1	0	1						
1	1	0						
1	1	1						

Να απλοποιήσετε τις συναρτήσεις εισόδων των 3 flip-flops TC, TB και TA χρησιμοποιώντας χάρτες Karnaugh.

Να γράψετε τις απλοποιημένες συναρτήσεις εισόδου των T flip-flops.

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

Να συνδέσετε τις εξόδους των flip-flops του Απαριθμητή στον Ενδείκτη Δεκαδικού Ψηφίου (Display).

Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

5. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Σύγχρονου Αμφίδρομου Δυαδικού Απαριθμητή 2 bit χρησιμοποιώντας T flip-flops. Το κύκλωμα έχει μία είσοδο Up/Down που ελέγχει την ροή απαρίθμησης: αν Up/Down=0 τότε ο Απαριθμητής μετράει προς τα πάνω, ενώ αν Up/Down=1 τότε ο Απαριθμητής μετράει προς τα κάτω.

Να συμπληρώσετε τον πίνακα καταστάσεων του κυκλώματος:

Είσοδος	Προηγούμενη κατάσταση		Επόμενη κατάσταση		Είσοδοι flip-flops	
	B	A	B	A	TB	TA
Up/Down						
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

Να απλοποιήσετε τις συναρτήσεις εισόδων των 2 flip-flops TB και TA χρησιμοποιώντας χάρτες Karnaugh.

Να γράψετε τις απλοποιημένες συναρτήσεις εισόδου των T flip-flops.

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

Να συνδέσετε τις εξόδους των flip-flops του Απαριθμητή στον Ενδείκτη Δεκαδικού Ψηφίου (Display).

Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

6. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Σύγχρονου Απαριθμητή modulo 7. Να χρησιμοποιήσετε το κύκλωμα ενός Σύγχρονου Δυαδικού Απαριθμητή 3 bit με T flip-flops και να χρησιμοποιήσετε τις ασύγχρονες εισόδους CLEAR των flip-flops για την αλλαγή του modulo του Απαριθμητή.

Όταν ο Απαριθμητής μετράει από 0 μέχρι 6, πρέπει οι ασύγχρονες εισοδοί των flip-flops να είναι PRESET=1 και CLEAR=1.

Όταν ο Απαριθμητής φτάσει στο 7, πρέπει οι ασύγχρονες εισοδοί των flip-flops να είναι PRESET=1 και CLEAR=0, έτσι ώστε τα flip-flops να μηδενιστούν. Τότε ο Απαριθμητής θα μηδενιστεί και μπορεί να ξεκινήσει πάλι την απαρίθμηση από το 0.

Επομένως, οι ασύγχρονες εισοδοί CLEAR και PRESET των flip-flops πρέπει να έχουν τον πίνακα αληθείας:

Δεκαδικός	C	B	A	CLEAR	PRESET
0	0	0	0	1	1
1	0	0	1	1	1
2	0	1	0	1	1
3	0	1	1	1	1
4	1	0	0	1	1
5	1	0	1	1	1
6	1	1	0	1	1
7	1	1	1	0	1

Οι βραχυκυκλωμένες μεταξύ τους ασύγχρονες εισοδοί PRESET των flip-flops πρέπει να είναι:

PRESET=1

Οι βραχυκυκλωμένες μεταξύ τους ασύγχρονες εισοδοί CLEAR των flip-flops πρέπει να είναι:

CLEAR=(CBA)'

Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα.

Να συνδέσετε τις εξόδους των flip-flops του Απαριθμητή στον Ενδείκτη Δεκαδικού Ψηφίου (Display).

Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

III. Ολοκληρωμένα Κυκλώματα

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Σύγχρονου Αμφίδρομου Δυαδικού Απαριθμητή 4 bit χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74193.
Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

2. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα ενός Δεκαδικού Απαριθμητή .
Να χρησιμοποιήσετε το ολοκληρωμένο κύκλωμα 74193 και να χρησιμοποιήσετε την ασύγχρονη είσοδο CLEAR για την αλλαγή του modulo του Απαριθμητή.
Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε το κύκλωμα ενός Σύγχρονου Αμφίδρομου Δυαδικού Απαριθμητή 4 bit χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 74193.
Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.
Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

2. Ένας Σύγχρονος Δυαδικός Απαριθμητής μετράει την ακολουθία 0-1-2 και πάλι από την αρχή. Αν το κύκλωμα βρεθεί σε αχρησιμοποίητη κατάσταση, τότε ο επόμενος παλμός του ρολογιού θα φέρει το κύκλωμα στην κατάσταση 0.

Ο Απαριθμητής είναι ένα Σύγχρονο Ακολουθιακό Κύκλωμα που έχει 4 καταστάσεις (0, 1, 2, 3), από τις οποίες χρησιμοποιούνται οι 3 και η μία είναι αχρησιμοποίητη. Επομένως υλοποιείται με 2 flip-flops. Να χρησιμοποιήσετε 2 D flip-flops.

Να συμπληρώσετε τον πίνακα καταστάσεων του κυκλώματος:

Προηγούμενη κατάσταση		Επόμενη κατάσταση		Είσοδοι flip-flops	
B	A	B	A	DB	DA

Να απλοποιήσετε τις συναρτήσεις εισόδων των 2 flip-flops DB, και DA χρησιμοποιώντας χάρτες Karnaugh.

Να γράψετε τις απλοποιημένες συναρτήσεις εισόδου των D flip-flops.

Να σχεδιάσετε το κύκλωμα.

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να γίνει έλεγχος της λειτουργίας του Απαριθμητή.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 18
ΑΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΜΕ ΒΡΟΓΧΟ ΑΝΑΔΡΑΣΗΣ

I. Βασική Θεωρία

Ένα Ασύγχρονο Ακολουθιακό Κύκλωμα (ΑΑΚ) έχει:

- n εισόδους
- k εσωτερικές καταστάσεις
 - παρούσα κατάσταση: k δευτερεύουσες μεταβλητές $y_i, i=1, \dots, k$
 - επόμενη κατάσταση: k μεταβλητές διέγερσης $Y_i, i=1, \dots, k$
- m εξόδους

Ένα Ασύγχρονο Ακολουθιακό Κύκλωμα μπορεί να βρεθεί σε:

- μόνιμη κατάσταση, αν $y_i=Y_i, i=1, \dots, k$
- μεταβατική κατάσταση, αν $y_i \neq Y_i, i=1, \dots, k$

Σε ένα Ασύγχρονο Ακολουθιακό Κύκλωμα, οι εισοδοί επιτρέπεται να αλλάζουν μία-μία και μόνον όταν το κύκλωμα ευρίσκεται σε μόνιμη κατάσταση. Αυτός είναι ο βασικός τρόπος λειτουργίας ενός Ασύγχρονου Ακολουθιακού Κυκλώματος.

Ένα Ασύγχρονο Ακολουθιακό Κύκλωμα μπορεί να είναι:

- σταθερό, αν φτάνει σε μόνιμη κατάσταση για κάποιες εισόδους
- ασταθές, αν ευρίσκεται συνεχώς σε μεταβατική κατάσταση

Οι έξοδοι και η επόμενη κατάσταση ενός Ακολουθιακού Κυκλώματος είναι συναρτήσεις των εισόδων και της παρούσας κατάστασης του Ακολουθιακού Κυκλώματος.

Όταν αλλάζει μία είσοδος σε ένα Ασύγχρονο Ακολουθιακό Κύκλωμα, τότε οι δευτερεύουσες μεταβλητές δεν αλλάζουν ακαριαία, λόγω των στοιχείων καθυστέρησης του κυκλώματος. Ανάλογα με τα στοιχεία καθυστέρησης που περιέχουν, τα ασύγχρονα ακολουθιακά κυκλώματα ανήκουν σε μία από τις δύο ακόλουθες βασικές κατηγορίες:

- με βρόγχο ανάδρασης (feedback)
- με μανταλωτές

II. Πλακέτα Εργαστηρίου

Δίνονται οι συναρτήσεις διέγερσης ενός Ασύγχρονου Ακολουθιακού Κυκλώματος (ΑΑΚ):

$$Y1 = xy1 + x'y2$$

$$Y2 = xy1' + x'y2$$

Το κύκλωμα έχει μία είσοδο x και δύο εσωτερικές καταστάσεις. Το κύκλωμα δεν έχει έξοδο.

Να συμπληρώσετε τον πίνακα μεταβάσεων του ΑΑΚ:

		x	
		0	1
$y=y1y2$	00		
	01		
	11		
	10		

$$Y = Y1Y2$$

Να συμπληρώσετε τον πίνακα καταστάσεων του ΑΑΚ.

Παρούσα κατάσταση		Επόμενη κατάσταση			
		$x=0$		$x=1$	
$y1$	$y2$	$Y1$	$Y2$	$Y1$	$Y2$
0	0				
0	1				
1	0				
1	1				

Να σχεδιάσετε και να υλοποιήσετε το Ασύγχρονο Ακολουθιακό Κύκλωμα με βρόγχο ανάδρασης (feedback).

Να βρεθεί η ακολουθία καταστάσεων $Y=Y1Y2$ όταν δίνεται η ακολουθία εισόδων x : 0-1-0-1

x	0	→	1	→	0	→	1
y		→		→		→	

III. Ολοκληρωμένα Κυκλώματα

Δίνονται η συνάρτηση διέγερσης και η συνάρτηση εξόδου ενός Ασύγχρονου Ακολουθιακού Κυκλώματος (ΑΑΚ):

$$Y = x_1 x_2' + x_1 y$$

$$z = x_1 x_2 y$$

Το κύκλωμα έχει δύο εισόδους x_1 και x_2 , μία εσωτερική κατάσταση και μία έξοδο z .

Να συμπληρώσετε τον πίνακα ροής του ΑΑΚ:

		$x_1 x_2$			
		00	01	11	10
y	0				
	1				
		Y, z			

Να σχεδιάσετε και να υλοποιήσετε το Ασύγχρονο Ακολουθιακό Κύκλωμα με βρόγχο ανάδρασης (feedback) χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

Να γίνει έλεγχος της λειτουργίας του κυκλώματος επιβεβαιώνοντας τον πίνακα ροής του ΑΑΚ.

IV. Πακέτο Λογισμικού

Δίνεται η συνάρτηση διέγερσης ενός Ασύγχρονου Ακολουθιακού Κυκλώματος (ΑΑΚ):

$$Y = x_1' x_2 + x_1 y$$

Το κύκλωμα έχει δύο εισόδους x_1 και x_2 και μία εσωτερική κατάσταση. Το κύκλωμα δεν έχει έξοδο.

Να συμπληρώσετε τον πίνακα μεταβάσεων του ΑΑΚ:

		$x_1 x_2$			
		00	01	11	10
y	0				
	1				
		Y			

Να σχεδιάσετε το Ασύγχρονο Ακολουθιακό Κύκλωμα με βρόγχο ανάδρασης (feedback) χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

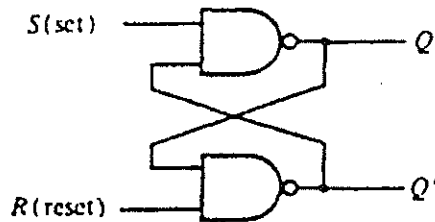
Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να γίνει έλεγχος της λειτουργίας του κυκλώματος επιβεβαιώνοντας τον πίνακα μεταβάσεων του ΑΑΚ.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 19
ΑΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΜΕ ΜΑΝΤΑΛΩΤΕΣ

I. Βασική Θεωρία

Ο Μανταλωτής με πύλες NAND είναι ένα Ασύγχρονο Ακολουθιακό Κύκλωμα (ΑΑΚ):



Μανταλωτής με πύλες NAND

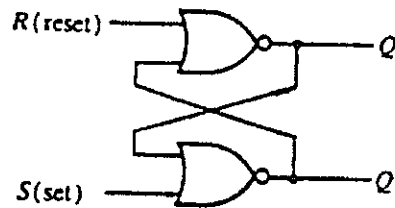
Η συνάρτηση διέγερσης του μανταλωτή με πύλες NAND είναι:

$$Y=S'+Ry$$

με τον περιορισμό

$$S'R'=0$$

Ο Μανταλωτής με πύλες NOR είναι ένα Ασύγχρονο Ακολουθιακό Κύκλωμα (ΑΑΚ):



Μανταλωτής με πύλες NOR

Η συνάρτηση διέγερσης του μανταλωτή με πύλες NOR είναι η ακόλουθη:

$$Y=S+R'y$$

με τον περιορισμό

$$SR=0$$

Η μέθοδος σχεδίασης ενός Ασύγχρονου Ακολουθιακού Κυκλώματος (ΑΑΚ) με μανταλωτές είναι η ακόλουθη:

10. Καταγραφή των συναρτήσεων διέγερσης του ΑΑΚ
11. Υπολογισμός των συναρτήσεων εισόδων των μανταλωτών
12. Έλεγχος ικανοποίησης των περιορισμών για τις εισόδους των μανταλωτών
13. Εάν οι περιορισμοί ικανοποιούνται τότε εκτελείται το επόμενο βήμα, διαφορετικά υπολογίζονται νέες συναρτήσεις εισόδων των μανταλωτών όπου λαμβάνεται υπόψη η ικανοποίηση των περιορισμών για τις εισόδους των μανταλωτών
14. Σχεδίαση του ΑΑΚ με μανταλωτές

II. Πλακέτα Εργαστηρίου

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα του μανταλωτή με πύλες NAND.
 Να επιβεβαιώσετε τον πίνακα λειτουργίας του μανταλωτή με πύλες NAND:

S	R	Q(t+1)	ΛΕΙΤΟΥΡΓΙΑ
0	0	1	Αχρησιμοποίητη Κατάσταση
0	1	1	Θέση
1	0	0	Μηδενισμός
1	1	Q(t)	Αμετάβλητη Κατάσταση

2. Δίνεται η συνάρτηση διέγερσης ενός Ασύγχρονου Ακολουθιακού Κυκλώματος (ΑΑΚ):

$$Y = x_1x_2' + x_1y$$

Το κύκλωμα έχει δύο εισόδους x_1 και x_2 και μία εσωτερική κατάσταση. Το κύκλωμα δεν έχει έξοδο.

Να συμπληρώσετε τον πίνακα μεταβάσεων του ΑΑΚ:

		x_1x_2			
		00	01	11	10
y	0				
	1				
		Y			

Για την υλοποίηση του κυκλώματος απαιτείται ένας μανταλωτής αφού το κύκλωμα έχει μία εσωτερική κατάσταση. Να χρησιμοποιήσετε τον μανταλωτή με πύλες NAND που υπολογίσατε παραπάνω.

Να παρατηρήσετε ότι από την συνάρτηση διέγερσης του κυκλώματος:

$$Y = x_1x_2' + x_1y$$

και από την χαρακτηριστική εξίσωση του μανταλωτή με πύλες NAND:

$$Y = S' + Ry$$

προκύπτει ότι:

$$R = x_1$$

$$S = (x_1x_2)'$$

όπου

$$S'R' = 0$$

Επομένως οι εισοδοί του μανταλωτή με πύλες NAND είναι:

$$R = x_1$$

$$S = (x_1x_2)'$$

Να σχεδιάσετε και να υλοποιήσετε το Ασύγχρονο Ακολουθιακό Κύκλωμα με έναν μανταλωτή με πύλες NAND.

Να γίνει έλεγχος της λειτουργίας του κυκλώματος επιβεβαιώνοντας τον πίνακα μεταβάσεων του ΑΑΚ.

III. Ολοκληρωμένα Κυκλώματα

1. Να σχεδιάσετε και να υλοποιήσετε το κύκλωμα του μανταλωτή με πύλες NOR χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

Να επιβεβαιώσετε τον πίνακα λειτουργίας του μανταλωτή με πύλες NOR:

S	R	Q(t+1)	ΛΕΙΤΟΥΡΓΙΑ
0	0	Q(t)	Αμετάβλητη Κατάσταση
0	1	0	Μηδενισμός
1	0	1	Θέση
1	1	0	Αχρησιμοποίητη Κατάσταση

2. Δίνονται οι συναρτήσεις διέγερσης ενός Ασύγχρονου Ακολουθιακού Κυκλώματος (ΑΑΚ):

$$Y1 = xy1 + x'y2$$

$$Y2 = xy1' + x'y2$$

Το κύκλωμα έχει μία είσοδο x και δύο εσωτερικές καταστάσεις. Το κύκλωμα δεν έχει έξοδο.

Να συμπληρώσετε τον πίνακα μεταβάσεων του ΑΑΚ:

		x	
		0	1
y=y1y2	00		
	01		
	11		
	10		

$$Y = Y1Y2$$

Για την υλοποίηση του κυκλώματος απαιτούνται δύο μανταλωτές αφού το κύκλωμα έχει δύο εσωτερικές καταστάσεις. Να χρησιμοποιήσετε δύο μανταλωτές με πύλες NOR, όπως αυτός που υλοποιήσατε παραπάνω.

Να παρατηρήσετε ότι από τις συναρτήσεις διέγερσης του κυκλώματος:

$$Y1 = xy1 + x'y2$$

$$Y2 = xy1' + x'y2$$

και από την χαρακτηριστική εξίσωση του μανταλωτή με πύλες NOR:

$$Y = S + R'y$$

προκύπτει ότι:

οι είσοδοι του πρώτου μανταλωτή είναι:

$$S1 = x'y2$$

$$R1 = x'$$

όπου $S1R1 \neq 0$

και οι είσοδοι του δεύτερου μανταλωτή είναι:

$$S2 = xy1'$$

$$R2 = x$$

όπου $S2R2 \neq 0$

Να συμπληρώσετε τους χάρτες Karnaugh των συναρτήσεων Y1 και Y2:

		x		
		0	1	
y1	00			y2
	01			
	11			
	10			

Χάρτης Karnaugh για τη συνάρτηση Y1

		x		
		0	1	
y1	00			y2
	01			
	11			
	10			

Χάρτης Karnaugh για τη συνάρτηση Y2

Από τους χάρτες Karnaugh των συναρτήσεων Y1 και Y2 να παρατηρήσετε ότι:

$$Y1 = xy1 + x'y2 + y1y2$$

$$Y2 = xy1' + x'y2 + y1'y2$$

Οπότε, από την χαρακτηριστική εξίσωση του μανταλωτή με πύλες NOR:

$$Y = S + R'y$$

προκύπτει ότι:

$$S1 = x'y2$$

$$R1 = x'y2'$$

$$\text{όπου } S1R1 = 0$$

και

$$S2 = xy1'$$

$$R2 = xy1$$

$$\text{όπου } S2R2 = 0$$

Επομένως οι είσοδοι του πρώτου μανταλωτή με πύλες NOR είναι:

$$S1 = x'y2$$

$$R1 = x'y2'$$

και οι είσοδοι του δεύτερου μανταλωτή με πύλες NOR είναι:

$$S2 = xy1'$$

$$R2 = xy1$$

Να σχεδιάσετε και να υλοποιήσετε το Ασύγχρονο Ακολουθιακό Κύκλωμα με δύο μανταλωτές με πύλες NOR.

Να γίνει έλεγχος της λειτουργίας του κυκλώματος επιβεβαιώνοντας τον πίνακα μεταβάσεων του AAK.

IV. Πακέτο Λογισμικού

1. Να σχεδιάσετε το κύκλωμα του μανταλωτή με πύλες NAND χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να γίνει έλεγχος της λειτουργίας του κυκλώματος επιβεβαιώνοντας τον πίνακα λειτουργίας του μανταλωτή με πύλες NAND.

2. Να σχεδιάσετε το κύκλωμα του μανταλωτή με πύλες NOR χρησιμοποιώντας τα κατάλληλα ολοκληρωμένα κυκλώματα.

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Να γίνει έλεγχος της λειτουργίας του κυκλώματος επιβεβαιώνοντας τον πίνακα λειτουργίας του μανταλωτή με πύλες NOR.

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ 20 ΕΦΑΡΜΟΓΕΣ

I. Βασική Θεωρία

Να χρησιμοποιήσετε τη θεωρία που έχετε διδαχθεί για να υλοποιήσετε τις παρακάτω εφαρμογές.

II. Πλακέτα Εργαστηρίου

Εφαρμογή 1. Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα με τρεις διακόπτες εισόδου που εμφανίζει στον Ενδείκτη Δεκαδικού Ψηφίου (Display) το πλήθος των διακοπών που είναι σε θέση ON.

Εφαρμογή 2. Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα που αναγνωρίζει το πρότυπο 11 στην είσοδό του (αναγνωρίζονται και οι επικαλυπτόμενες ακολουθίες εισόδου) ανάβοντας έναν ενδείκτη εξόδου (led).

III. Ολοκληρωμένα Κυκλώματα

Εφαρμογή 3. Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα συνδέοντας σε σειρά έναν Πολυπλέκτη 8x1 και έναν Αποπλέκτη 1x8. Να χρησιμοποιήσετε τα κατάλληλα ολοκληρωμένα κυκλώματα.

Εφαρμογή 4. Ένα δωμάτιο έχει μία είσοδο και μία έξοδο. Στην είσοδο υπάρχει ένας αισθητήρας που δίνει "1", εκτός αν κάποιος άνθρωπος μπει στο δωμάτιο οπότε δίνει "0" στιγμιαία. Στην έξοδο υπάρχει ένας αισθητήρας που δίνει "1", εκτός αν κάποιος άνθρωπος βγει από το δωμάτιο οπότε δίνει "0" στιγμιαία. Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα που εμφανίζει σε έναν Ενδείκτη Δεκαδικού Ψηφίου (Display) το πλήθος των ανθρώπων που βρίσκονται στο δωμάτιο. Αν το πλήθος αυτό υπερβεί τον αριθμό 10, τότε ανάβει ένας Ενδείκτης Εξόδου (Led). Αν κάποιος άνθρωπος βγει χωρίς να έχει μπει κανείς, τότε ανάβει ένας άλλος Ενδείκτης Εξόδου (Led). Και στις δύο περιπτώσεις υπάρχει η δυνατότητα μηδενισμού του Ενδείκτη Δεκαδικού Ψηφίου (Display). Να χρησιμοποιήσετε τα κατάλληλα ολοκληρωμένα κυκλώματα και να οδηγήσετε το Display με το ολοκληρωμένο κύκλωμα 7447 που είναι ένας αποκωδικοποιητής από BCD σε 7 τμήματα (BCD to 7 segments Decoder).

IV. Πακέτο Λογισμικού

Εφαρμογή 5. Να σχεδιάσετε ένα Συγκριτή Μεγέθους 4 bit χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7485. Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Εφαρμογή 6. Να σχεδιάσετε έναν Προς τα Πάνω Απαριθμητή 3 bit με μία είσοδο ελέγχου: αν η είσοδος ελέγχου είναι "0" τότε ο απαριθμητής δεν μετράει, ενώ αν η είσοδος ελέγχου είναι "1" τότε ο απαριθμητής μετράει προς τα πάνω.

Να χρησιμοποιήσετε τα κατάλληλα ολοκληρωμένα κυκλώματα.

Να σχεδιάσετε τις κυματομορφές εισόδων-εξόδων.

Η ΠΛΑΚΕΤΑ ΕΡΓΑΣΤΗΡΙΟΥ LT345

ΠΕΡΙΕΧΟΜΕΝΑ

- 1. ΕΙΣΑΓΩΓΗ**
- 2. ΤΡΟΦΟΔΟΣΙΑ**
- 3. ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ**
 - 3.1. ΠΥΛΕΣ**
 - 3.2. FLIP-FLOPS**
- 4. ΕΙΣΟΔΟΙ - ΕΞΟΔΟΙ**
 - 4.1. ΕΙΣΟΔΟΙ**
 - 4.2. ΕΞΟΔΟΙ**

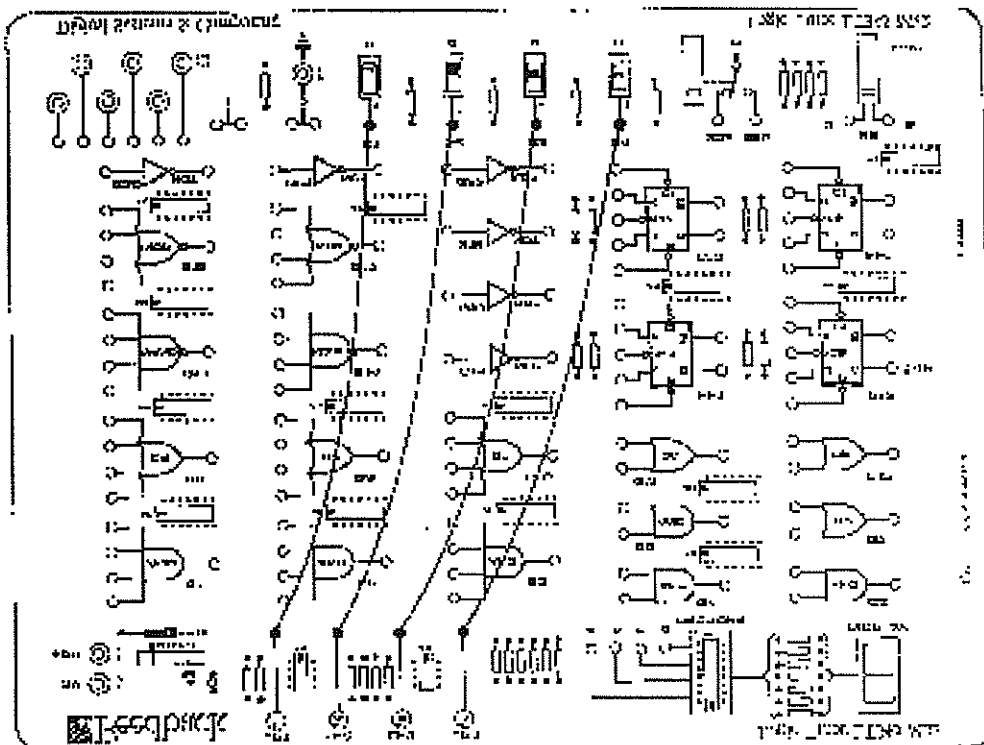
1. ΕΙΣΑΓΩΓΗ

Η πλακέτα Logic Tutor LT345 Mk2 της Feedback παρέχει την δυνατότητα υλοποίησης ψηφιακών κυκλωμάτων.

Η πλακέτα LT345 περιλαμβάνει:

- δυνατότητα τροφοδοσίας
- ολοκληρωμένα κυκλώματα
- διακόπτες εισόδου (switches)
- ενδείκτες εξόδου (leds)
- ενδείκτη δεκαδικού ψηφίου (display)
- δυνατότητα σύνδεσης με άλλον εξοπλισμό

Η πλακέτα LT345 φαίνεται στο παρακάτω διάγραμμα:



2. ΤΡΟΦΟΔΟΣΙΑ

Η τροφοδοσία πρέπει να είναι της τάξης των $+5V \pm 0.25V$ DC (σταθερή τάση).

Μία ασφάλεια και μία διάδος Zener παρέχουν προστασία στα κυκλώματα της πλακέτας.

Δεν υπάρχει προστασία στις εισόδους των ολοκληρωμένων κυκλωμάτων.

Τάση μεγαλύτερη των $+6V$ ή μικρότερη των $-0.5V$ στις εισόδους των ολοκληρωμένων μπορεί να προκαλέσει βλάβη στα κυκλώματα της πλακέτας.

Οι έξοδοι δεν πρέπει να συνδέονται στην τροφοδοσία γιατί υπάρχει ο κίνδυνος δημιουργίας μόνιμης βλάβης στα κυκλώματα της πλακέτας

Επομένως, είναι απαραίτητος ο έλεγχος της τάσης τροφοδοσίας με χρήση βολτόμετρου.

Τα Λογικά Επίπεδα είναι:

- το λογικό "0" αντιστοιχεί σε τάση $0V - +0.8V$

- το λογικό "1" αντιστοιχεί σε τάση $+2V - +5V$

3. ΟΛΟΚΛΗΡΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

3.1. ΠΥΛΕΣ

Η πλακέτα περιλαμβάνει τις ακόλουθες βασικές πύλες:

- τρεις (3) πύλες AND τεσσάρων (4) εισόδων
- τρεις (3) πύλες OR τεσσάρων (4) εισόδων
- δύο (2) πύλες NAND τεσσάρων (4) εισόδων
- δύο (2) πύλες NOR τεσσάρων (4) εισόδων
- τρεις (3) πύλες AND δύο (2) εισόδων
- τρεις (3) πύλες OR δύο (2) εισόδων
- έξι (6) πύλες NOT

Οι Πίνακες Αληθείας της πύλης NOT και των πυλών AND και OR δύο (2) εισόδων δίνονται παρακάτω:

x	x'
0	1
1	0

x	y	xy
0	0	0
0	1	0
1	0	0
1	1	1

x	y	x+y
0	0	0
0	1	1
1	0	1
1	1	1

Χρειάζεται ιδιαίτερη προσοχή όταν γίνεται χρήση των πυλών τεσσάρων (4) εισόδων για υλοποίηση πυλών δύο (2) ή τριών (3) εισόδων.

3.2. FLIP-FLOPS

Η πλακέτα περιλαμβάνει τέσσερα (4) JK flip-flops.

Ο Χαρακτηριστικός Πίνακας του JK flip-flop δίνεται παρακάτω:

PRESET	CLEAR	CLOCK	J	K	Q	Q'
0	0	X	X	X	1	1
0	1	X	X	X	1	0
1	0	X	X	X	0	1
1	1	PULSER	0	0	Q	Q'
1	1	PULSER	0	1	0	1
1	1	PULSER	1	0	1	0
1	1	PULSER	1	1	Q'	Q

Χρειάζεται ιδιαίτερη προσοχή όταν ένα JK flip-flop χρησιμοποιείται για την υλοποίηση ενός T flip-flop ή για την υλοποίηση ενός D flip-flop:

- T flip-flop ($J=T$ και $K=T$)
- D flip-flop ($J=D$ και $K=D'$)

4. ΕΙΣΟΔΟΙ - ΕΞΟΔΟΙ

4.1. ΕΙΣΟΔΟΙ

Η πλακέτα περιλαμβάνει έξι (6) διακόπτες εισόδου (switches):

- τέσσερις (4) απλούς διακόπτες S1, S2, S3 και S4
- δύο (2) διακόπτες ενεργοποίησης S5 και S6

Οι διακόπτες παρέχουν λογικό “0” ή λογικό “1” σύμφωνα με τους παρακάτω πίνακες:

Διακόπτης	S1	S2	S3	S4
κάτω	0	0	0	0
πάνω	1	1	1	1

Διακόπτης S5	S5a	S5b
αποενεργοποιημένος	1	0
ενεργοποιημένος	0	1

Διακόπτης S6	Q	Q'
αποενεργοποιημένος	0	1
ενεργοποιημένος	1	0

4.2. ΕΞΟΔΟΙ

Η πλακέτα περιλαμβάνει πέντε (5) ενδείκτες εξόδου:

- τέσσερις (4) ενδείκτες εξόδου (leds)
- έναν (1) ενδείκτη δεκαδικού ψηφίου (display)

Οι ενδείκτες εξόδου (leds) παρέχουν λογικό “0” ή λογικό “1” οπότε σβήνουν ή ανάβουν σύμφωνα με τον παρακάτω πίνακα:

Ενδείκτης (Led)	L1	L2	L3	L4
0	σβήνει	σβήνει	σβήνει	σβήνει
1	ανάβει	ανάβει	ανάβει	ανάβει

Ο ενδείκτης δεκαδικού ψηφίου (display) έχει τέσσερις (4) εισόδους d, c, b και a (d είναι το περισσότερο σημαντικό ψηφίο και a είναι το λιγότερο σημαντικό ψηφίο) και δείχνει το αντίστοιχο δεκαδικό ψηφίο (0-9) σύμφωνα με τον παρακάτω πίνακα:

d	c	b	a	δεκαδικό ψηφίο
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

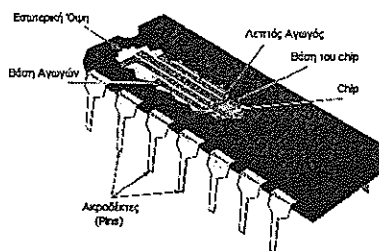
**ΥΛΟΠΟΙΗΣΗ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ
ΜΕ ΧΡΗΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ**

ΠΕΡΙΕΧΟΜΕΝΑ

- 1. ΤΕΧΝΟΛΟΓΙΕΣ ΚΑΤΑΣΚΕΥΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ**
- 2. ΟΝΟΜΑΤΟΛΟΓΙΑ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ**
- 3. ΦΥΛΛΑ ΔΕΔΟΜΕΝΩΝ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ**
- 4. ΠΑΡΑΔΕΙΓΜΑΤΑ ΥΛΟΠΟΙΗΣΗΣ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ**

1. ΤΕΧΝΟΛΟΓΙΕΣ ΚΑΤΑΣΚΕΥΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Ένα ολοκληρωμένο κύκλωμα (integrated circuit) είναι ένας ημιαγωγός κρύσταλλος από πυρίτιο (chip) που περιέχει ηλεκτρονικά στοιχεία με τα οποία κατασκευάζονται οι πύλες. Το chip τοποθετείται σε ένα πλαστικό περίβλημα και συγκολλούνται επαφές σε εξωτερικούς ακροδέκτες (pins) για να σχηματιστεί το ολοκληρωμένο κύκλωμα. Η εσωτερική όψη ενός ολοκληρωμένου κυκλώματος σε συσκευασία ακροδεκτών διπλής σειράς (Dual In-line Package - DIP) παρουσιάζεται στο ακόλουθο σχήμα:



Τα ολοκληρωμένα κυκλώματα κατηγοριοποιούνται ανάλογα με την Κλίμακα Ολοκλήρωσης (Scale Integration), δηλαδή ανάλογα με το πλήθος των ισοδύναμων με μία πύλη κυκλωμάτων που περιέχουν, όπως φαίνεται στον ακόλουθο πίνακα:

Κλίμακα Ολοκλήρωσης (Scale Integration)	Πλήθος κυκλωμάτων ισοδύναμων με μία πύλη
SSI (Small Scale Integration)	< 12
MSI (Medium Scale Integration)	12 – 100
LSI (Large Scale Integration)	100 – 1000
VLSI (Very Large Scale Integration)	1000 – 100000
ULSI (Ultra Large Scale Integration)	> 100000

Οι τεχνολογίες κατασκευής των λογικών πυλών των ολοκληρωμένων κυκλωμάτων είναι οι ακόλουθες:

- BIPOLAR
- CMOS (Complementary Metal-Oxide Semiconductor)
- BICMOS (Bipolar CMOS)
- ECL (Emitter Coupled Logic)

Τα χαρακτηριστικά των λογικών πυλών των ολοκληρωμένων κυκλωμάτων είναι τα ακόλουθα:

- Ικανότητα Οδήγησης Εξόδου (Fan Out) είναι το πλήθος των εισόδων του ολοκληρωμένου κυκλώματος που μπορούν να οδηγηθούν από μία έξοδο του χωρίς να κινδυνεύει η ομαλή λειτουργία του ολοκληρωμένου κυκλώματος.
- Απώλεια Ισχύος (Power Dissipation) είναι η ισχύς που καταναλώνεται από τις πύλες κατά τη λειτουργία του ολοκληρωμένου κυκλώματος με αποτέλεσμα την παραγωγή θερμότητας που διαχέεται στο περιβάλλον.
- Καθυστέρηση Διάδοσης (Propagation Delay) είναι ο χρόνος που απαιτείται για τη διάδοση της αλλαγής ενός σήματος από την είσοδο στην έξοδο του ολοκληρωμένου κυκλώματος.
- Περιθώριο Θορύβου (Noise Margin) είναι η ελάχιστη τάση εξωτερικού θορύβου που προκαλεί ανεπιθύμητη αλλαγή στην έξοδο του ολοκληρωμένου κυκλώματος.

2. ΟΝΟΜΑΤΟΛΟΓΙΑ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Τα ονόματα των ολοκληρωμένων κυκλωμάτων περιέχουν πληροφορίες σχετικές με την κατασκευάστρια εταιρεία, την περιοχή θερμοκρασίας λειτουργίας, την τεχνολογία κατασκευής, τη λειτουργία και τον τρόπο συσκευασίας, όπως φαίνεται στον ακόλουθο πίνακα:

ΣΗΜΑΣΙΑ	ΚΩΔΙΚΟΣ
Κατασκευάστρια Εταιρεία	SN (Texas Instruments) DM (Fairchild Semiconductor)
Περιοχή Θερμοκρασίας Λειτουργίας	74 (0° C – 70° C για εμπορικές εφαρμογές) 64 (-40° C – 85° C για βιομηχανικές εφαρμογές) 54 (-55° C – 125° C για στρατιωτικές εφαρμογές)
Τεχνολογία Κατασκευής	S (Schottky) LS (Low-power Schottky) ALS (Advanced Low-power Schottky) C (CMOS) HC (High-speed CMOS TTL) HTC (High-speed CMOS TTL compatible)
Λειτουργία	00 4 πύλες NAND 2 εισόδων 02 4 πύλες NOR 2 εισόδων 04 6 πύλες NOT 08 4 πύλες AND 2 εισόδων 10 3 πύλες NAND 3 εισόδων 11 3 πύλες AND 3 εισόδων 20 2 πύλες NAND 4 εισόδων 27 3 πύλες NOR 3 εισόδων 30 1 πύλη NAND 8 εισόδων 32 4 πύλες OR 2 εισόδων 42 Αποκωδικοποιητής από BCD σε δεκαδικό 47 Αποκωδικοποιητής από BCD σε 7 τμήματα 74 2 D flip-flops 83 Δυαδικός Αθροιστής 4-bit 85 Συγκριτής Μεγέθους 4-bit 86 4 πύλες XOR 2 εισόδων 112 2 J-K flip-flops 138 Αποκωδικοποιητής 3x8 / Αποπολυπλέκτης 1x8 139 2 Αποκωδικοποιητές 2x4 / 2 Αποπολυπλέκτες 1x4 148 Κωδικοποιητής Προτεραιότητας 8x3 151 Πολυπλέκτης 8x1 154 Αποκωδικοποιητής 4x16 / Αποπολυπλέκτης 1x16 181 Αριθμητική Λογική Μονάδα 4-bit 193 Σύγχρονος Αμφίδρομος Δυαδικός Απαριθμητής 4-bit 194 Αμφίδρομος Καταχωρητής Ολίσθησης 4-bit 266 4 πύλες XNOR 2 εισόδων
Τρόπος συσκευασίας	D/DW (SOIC – Small Outline Integrated Circuit) DB/DL (SSOP) DGG (TSSOP) FK (LCCC) N/P (PDIP – Plastic Dual In Package) NS (SOP)

3. ΦΥΛΛΑ ΔΕΔΟΜΕΝΩΝ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Τα φύλλα δεδομένων (Data Sheets) των ολοκληρωμένων κυκλωμάτων περιέχουν πληροφορίες σχετικές με την κατασκευάστρια εταιρεία, τη λειτουργία, τις συνιστώμενες συνθήκες λειτουργίας, τα ηλεκτρικά χαρακτηριστικά, τα χαρακτηριστικά μεταγωγής και τις φυσικές διαστάσεις των ολοκληρωμένων κυκλωμάτων.

Για παράδειγμα, το φύλλο δεδομένων (Data Sheet) του ολοκληρωμένου κυκλώματος DM74LS00 περιλαμβάνει τις παρακάτω πληροφορίες:

- **Κατασκευάστρια Εταιρεία**

Η κατασκευάστρια εταιρεία είναι η FAIRCHILD SEMICONDUCTOR.

- **Ονομασία ολοκληρωμένου κυκλώματος**

Το όνομα του ολοκληρωμένου κυκλώματος είναι DM74LS00 Quad 2-Input NAND Gate.

- **Γενική Περιγραφή (General Description)**

Το ολοκληρωμένο κύκλωμα περιέχει τέσσερις ανεξάρτητες πύλες NAND 2 εισόδων.

- **Διάγραμμα Σύνδεσης (Connection Diagram)**

Στο διάγραμμα σύνδεσης φαίνονται οι ακροδέκτες (pins) του ολοκληρωμένου κυκλώματος και η λειτουργία τους (είσοδοι, έξοδοι, τροφοδοσία).

- **Πίνακας Λειτουργίας (Function Table)**

Στον πίνακα λειτουργίας παρουσιάζεται η Λογική Συνάρτηση και ο Πίνακας Αληθείας της πύλης NAND 2 εισόδων. Στον πίνακα αληθείας το λογικό "0" συμβολίζεται με L (LOW) και το λογικό "1" συμβολίζεται με H (HIGH).

- **Μέγιστες Απόλυτες Τιμές (Absolute Maximum Ratings)**

Οι μέγιστες απόλυτες τιμές αφορούν στις τιμές των παρακάτω παραμέτρων πέραν των οποίων ο κατασκευαστής δεν εγγυάται την ομαλή λειτουργία του ολοκληρωμένου κυκλώματος (τιμές μεγαλύτερες από τις μέγιστες απόλυτες τιμές μπορούν να καταστρέψουν το ολοκληρωμένο κύκλωμα):

- τάση τροφοδοσίας (Supply Voltage)
- τάση εισόδου (Input Voltage)
- περιοχή θερμοκρασίας λειτουργίας (Operating Free Air Temperature Range)
- περιοχή θερμοκρασίας αποθήκευσης (Storage Temperature Range)

- **Συνιστώμενες Συνθήκες Λειτουργίας (Recommended Operation Conditions)**

Οι συνιστώμενες συνθήκες λειτουργίας αφορούν στις τιμές των παρακάτω παραμέτρων που προτείνει ο κατασκευαστής για την ομαλή λειτουργία του ολοκληρωμένου κυκλώματος:

- τάση τροφοδοσίας (V_{CC})
- τάση στην είσοδο για υψηλή στάθμη (V_{IH})
- τάση στην είσοδο για χαμηλή στάθμη (V_{IL})
- ρεύμα εξόδου για υψηλή στάθμη (I_{OH})
- ρεύμα εξόδου για χαμηλή στάθμη (I_{OL})
- περιοχή θερμοκρασίας του περιβάλλοντος λειτουργίας (T_A)

- **Ηλεκτρικά Χαρακτηριστικά (Electrical Characteristics)**

Τα ηλεκτρικά χαρακτηριστικά αφορούν στις τιμές των παρακάτω παραμέτρων για συγκεκριμένες καταστάσεις λειτουργίας του ολοκληρωμένου κυκλώματος:

- τάση "στραγγαλισμού" εισόδου (V_I)
- τάση εξόδου για υψηλή στάθμη (V_{OH})
- τάση εξόδου για χαμηλή στάθμη (V_{OL})
- ρεύμα εισόδου (I_I)
- ρεύμα εισόδου για υψηλή στάθμη (I_{IH})
- ρεύμα εισόδου για χαμηλή στάθμη (I_{IL})
- ρεύμα εξόδου βραχυκύκλωσης (I_{OS})
- ρεύμα του ολοκληρωμένου κυκλώματος με τις εξόδους σε υψηλή στάθμη (I_{CCH})
- ρεύμα του ολοκληρωμένου κυκλώματος με τις εξόδους σε χαμηλή στάθμη (I_{CCL})

- **Χαρακτηριστικά Μεταγωγής (Switching Characteristics).**

Τα χαρακτηριστικά μεταγωγής αφορούν στις τιμές των παρακάτω παραμέτρων που είναι σχετικές με την ταχύτητα αντίδρασης των εξόδων του ολοκληρωμένου κυκλώματος στη μεταβολή των εισόδων του:

- Propagation Delay Time LOW-to-HIGH Level Output (t_{PLH})
- Propagation Delay Time HIGH-to-LOW Level Output (t_{PHL})

- **Φυσικές Διαστάσεις (Physical Dimensions)**

Οι φυσικές διαστάσεις αφορούν στις διαστάσεις του ολοκληρωμένου κυκλώματος για τους διαθέσιμους τρόπους συσκευασίας.

4. ΠΑΡΑΔΕΙΓΜΑΤΑ ΥΛΟΠΟΙΗΣΗΣ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

Παράδειγμα 1.

Πειραματική απόδειξη του Θεωρήματος De Morgan

Το Θεώρημα De Morgan είναι ένα βασικό θεώρημα της Αλγεβρας Boole που συνδέει μεταξύ τους τις τρεις πράξεις της Αλγεβρας Boole (NOT, AND και OR) και ισχύει για n μεταβλητές:

$$(A_1 \cdot A_2 \dots \cdot A_n)' = (A_1' + A_2' + \dots + A_n')$$

και

$$(A_1 + A_2 \dots + A_n)' = (A_1' \cdot A_2' \dots \cdot A_n')$$

Για δύο μεταβλητές, ισχύει:

$$(A \cdot B)' = A' + B'$$

και

$$(A + B)' = A' \cdot B'$$

Πειραματική απόδειξη του Θεωρήματος De Morgan $(A \cdot B)' = A' + B'$

Ο Πίνακας Αληθείας της σχέσης $(A \cdot B)' = A' + B'$ είναι ο ακόλουθος:

A	B	$(A \cdot B)'$	$A' + B'$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0

Ολοκληρωμένα Κυκλώματα

- πύλες NAND2 (7400)
- πύλες NOT (7404)
- πύλες OR2 (7432)

Σύνδεση

7400	
pin	connection
1	από switch A
2	από switch B
3	σε led L1
4	
5	
6	
7	GND
8	
9	
10	
11	
12	
13	
14	Vcc

7404	
pin	connection
1	από switch A
2	στο pin 1 του 7432
3	από switch B
4	στο pin 2 του 7432
5	
6	
7	GND
8	
9	
10	
11	
12	
13	
14	Vcc

7432	
pin	connection
1	από pin 2 του 7404
2	από pin 4 του 7404
3	σε led L2
4	
5	
6	
7	GND
8	
9	
10	
11	
12	
13	
14	Vcc

Παράδειγμα 2.

Υλοποίηση πύλης OR2 με χρήση πυλών NAND2

Η πύλη NAND είναι οικουμενική πύλη (universal gate) γιατί μπορεί να χρησιμοποιηθεί για την υλοποίηση κάθε συνδυαστικού κυκλώματος αφού οι πύλες NOT, AND και OR μπορούν να υλοποιηθούν με πύλες NAND.

$$A'=(A \cdot A)'$$

$$A \cdot B = ((A \cdot B)')' = ((A \cdot B)' \cdot (A \cdot B)')$$

$$A+B = (A' \cdot B')' = ((A \cdot A)' \cdot (B \cdot B)')$$

Υλοποίηση πύλης OR2 με χρήση πυλών NAND2

Από το Θεώρημα De Morgan προκύπτει ότι ισχύει η σχέση $A+B=(A' \cdot B')$

Ο Πίνακας Αληθείας της σχέσης $A+B=(A' \cdot B')$ είναι ο ακόλουθος:

A	B	A+B	$(A' \cdot B')$
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	1

Ολοκληρωμένα Κυκλώματα

- πύλες NAND2 (7400)
- πύλες OR2 (7432)

Σύνδεση

7432	
pin	connection
1	από switch A
2	από switch B
3	σε led L1
4	
5	
6	
7	GND
8	
9	
10	
11	
12	
13	
14	Vcc

7400	
pin	connection
1	από switch A
2	από switch A
3	στο pin 9 του 7400
4	από switch B
5	από switch B
6	στο pin 10 του 7400
7	GND
8	σε led L2
9	από pin 3 του 7400
10	από pin 6 του 7400
11	
12	
13	
14	Vcc

Παράδειγμα 3.

Υλοποίηση Συνδυαστικού Κυκλώματος με πύλες NOT, AND2 και OR2

Κάθε συνδυαστικό κύκλωμα μπορεί να υλοποιηθεί χρησιμοποιώντας πύλες NOT, AND και OR.

Υλοποίηση Συνδυαστικού Κυκλώματος με πύλες NOT, AND2 και OR2

Ένα συνδυαστικό κύκλωμα χρησιμοποιείται για την αίχνευση λάθους στη λειτουργία ενός σηματοδότη. Ο σηματοδότης έχει τρία φώτα: ΦΑ για το κόκκινο, ΦΒ για το πορτοκαλί και ΦC για το πράσινο. Ο σηματοδότης λειτουργεί κανονικά όταν ανάβει μόνον ένα φως. Το κύκλωμα έχει τρεις εισόδους A, B και C που συνδέονται με τρεις αισθητήρες SA, SB και SC που δίνουν "1" όταν το αντίστοιχο φως είναι αναμμένο και "0" όταν είναι σβηστό. Το κύκλωμα έχει μία έξοδο Y που δίνει "1" όταν υπάρχει πρόβλημα στη λειτουργία του σηματοδότη.

Ο Πίνακας Αληθείας του προβλήματος είναι ο ακόλουθος:

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Η συνάρτηση εξόδου Y του κυκλώματος είναι: $Y=A' \cdot B' \cdot C'+A \cdot B+(A+B) \cdot C$

Ολοκληρωμένα Κυκλώματα

- πύλες NOT (7404)
- πύλες AND2 (7408)
- πύλες OR2 (7432)

Σύνδεση

7404	
pin	connection
1	από switch A
2	στο pin 1 του 7408
3	από switch B
4	στο pin 2 του 7408
5	από switch C
6	στο pin 5 του 7408
7	GND
8	
9	
10	
11	
12	
13	
14	Vcc

7408	
pin	connection
1	από pin 2 του 7404
2	από pin 4 του 7404
3	στο pin 4 του 7408
4	από pin 3 του 7408
5	από pin 6 του 7404
6	στο pin 9 του 7432
7	GND
8	στο pin 4 του 7432
9	από switch A
10	από switch B
11	στο pin 5 του 7432
12	από switch C
13	από pin 3 του 7432
14	Vcc

7432	
pin	connection
1	από switch A
2	από switch B
3	στο pin 13 του 7408
4	από pin 8 του 7408
5	από pin 11 του 7408
6	στο pin 10 του 7432
7	GND
8	σε led Y
9	από pin 6 του 7408
10	από pin 6 του 7432
11	
12	
13	
14	Vcc

Παράδειγμα 4.

Υλοποίηση Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη 4-bit με χρήση του Παράλληλου Δυαδικού Αθροιστή 4-bit

Ο Παράλληλος Δυαδικός Αθροιστής 4-bit (7483) έχει ως εισόδους το κρατούμενο εισόδου C_0 (pin 13) και δύο 4-bit δυαδικούς αριθμούς $A=A_4A_3A_2A_1$ (pins 1, 3, 8, 10) και $B=B_4B_3B_2B_1$ (pins 16, 4, 7, 11) και έχει ως έξοδο έναν 5-bit δυαδικό αριθμό $\Sigma=C_4\Sigma_4\Sigma_3\Sigma_2\Sigma_1$ (pins 14, 15, 2, 6, 9), όπου C_4 (pin 14) είναι το κρατούμενο εξόδου.

Το κύκλωμα του Παράλληλου Δυαδικού Αθροιστή υλοποιεί την πρόσθεση $A+B+C_0$.

- Όταν $C_0=0$ τότε το κύκλωμα παράγει το άθροισμα $\Sigma=A+B$.
- Όταν $C_0=1$ τότε το κύκλωμα παράγει το άθροισμα $\Sigma=A+B+1$.

Αν το δεκαδικό ισοδύναμο του αθροίσματος είναι μεγαλύτερο του 15 τότε $C_4=1$, ενώ αν είναι μικρότερο ή ίσο του 15 τότε $C_4=0$.

Υλοποίηση Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη 4-bit με χρήση του Παράλληλου Δυαδικού Αθροιστή 4 bit και πυλών XOR2

Ο Παράλληλος Δυαδικός Αθροιστής/Αφαιρέτης 4-bit έχει ως εισόδους το bit ελέγχου C_0 (switch C_0) και δύο 4-bit δυαδικούς αριθμούς $a=a_4a_3a_2a_1$ (switches a_4, a_3, a_2, a_1) και $b=b_4b_3b_2b_1$ (switches b_4, b_3, b_2, b_1) και έχει ως εξόδους το κρατούμενο εξόδου C_4 (led C_4) και έναν 4-bit δυαδικό αριθμό $\Sigma_4\Sigma_3\Sigma_2\Sigma_1$ (leds $\Sigma_4, \Sigma_3, \Sigma_2, \Sigma_1$).

Οι εισοδοί $a_4a_3a_2a_1$ του Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη τροφοδοτούν τις εισόδους $A_4A_3A_2A_1$ του Παράλληλου Δυαδικού Αθροιστή. Οι εισοδοί $b_4b_3b_2b_1$ του Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη τροφοδοτούν τις εισόδους $B_4B_3B_2B_1$ του Παράλληλου Δυαδικού Αθροιστή αφού περάσουν από πυλές XOR2, η άλλη είσοδος των οποίων είναι το bit ελέγχου C_0 , το οποίο τροφοδοτεί και το κρατούμενο εισόδου του Παράλληλου Δυαδικού Αθροιστή.

Όταν $C_0=0$ τότε η είσοδος $B=B_4B_3B_2B_1$ του Παράλληλου Δυαδικού Αθροιστή είναι ίση με την είσοδο $b=b_4b_3b_2b_1$ του Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη.

Όταν $C_0=1$ τότε η είσοδος $B=B_4B_3B_2B_1$ του Παράλληλου Δυαδικού Αθροιστή είναι ίση με το συμπλήρωμα ως προς 1 της εισόδου $b=b_4b_3b_2b_1$ του Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη. Το συμπλήρωμα ως προς 1 ($\sigma-1$) ενός δυαδικού αριθμού προκύπτει συμπληρώνοντας (αλλάζοντας το 0 σε 1 και αντίστροφα) κάθε bit του αριθμού.

Το bit ελέγχου C_0 (switch C_0) ελέγχει τη λειτουργία του κυκλώματος.

- Όταν $C_0=0$ το κύκλωμα του Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη λειτουργεί ως **αθροιστής** και υλοποιεί την πρόσθεση $a+b$. Το άθροισμα είναι ο 5-bit δυαδικός αριθμός $\Sigma=C_4\Sigma_4\Sigma_3\Sigma_2\Sigma_1$. Αν το δεκαδικό ισοδύναμο του αθροίσματος είναι μεγαλύτερο του 15 τότε $C_4=1$, ενώ αν είναι μικρότερο ή ίσο του 15 τότε $C_4=0$.
- Όταν $C_0=1$ το κύκλωμα του Παράλληλου Δυαδικού Αθροιστή/Αφαιρέτη λειτουργεί ως **αφαιρέτης**. Αν $a \geq b$ τότε το κύκλωμα υλοποιεί την αφαίρεση $a-b$, οπότε $C_4=1$ και ο 4-bit δυαδικός αριθμός $\Sigma_4\Sigma_3\Sigma_2\Sigma_1$ είναι το δεκαδικό ισοδύναμο της διαφοράς $a-b$. Αν $a < b$ τότε το κύκλωμα υλοποιεί την αφαίρεση $b-a$, οπότε $C_4=0$ και ο 4-bit δυαδικός αριθμός $\Sigma_4\Sigma_3\Sigma_2\Sigma_1$ είναι το συμπλήρωμα ως προς 2 της διαφοράς $b-a$. Το συμπλήρωμα ως προς 2 ($\sigma-2$) ενός δυαδικού αριθμού προκύπτει προσθέτοντας 1 στο συμπλήρωμα ως προς 1 ($\sigma-1$) του δυαδικού αριθμού.

Ολοκληρωμένα Κυκλώματα

- Παράλληλος Δυαδικός Αθροιστής 4-bit (7483)
- πύλες XOR2 (7486)

Σύνδεση

7486		7483	
pin	connection	pin	connection
1	από switch C0	1	από switch a4
2	από switch b1	2	σε led Σ3
3	στο pin 11 του 7483	3	από switch a3
4	από switch C0	4	από pin 8 του 7486
5	από switch b2	5	Vcc
6	στο pin 7 του 7483	6	σε led Σ2
7	GND	7	από pin 6 του 7486
8	στο pin 4 του 7483	8	από switch a2
9	από switch C0	9	σε led Σ1
10	από switch b3	10	από switch a1
11	στο pin 16 του 7483	11	από pin 3 του 7486
12	από switch C0	12	GND
13	από switch b4	13	από switch C0
14	Vcc	14	σε led C4
		15	σε led Σ4
		16	από pin 11 του 7486

Έλεγχος λειτουργίας του κυκλώματος.

1. Θέτοντας τις παρακάτω εισόδους στον Παράλληλο Δυαδικό Αθροιστή/Αφαιρέτη:
 $C0=0$, $a4a3a2a1=0011$ και $b4b3b2b1=0100$

οι εισοδοί του Παράλληλου Αθροιστή είναι:

$C0=0$, $A4A3A2A1=0011$ και $B4B3B2B1=0100$

Τότε οι έξοδοι του κυκλώματος είναι: $C4=0$ και $\Sigma4\Sigma3\Sigma2\Sigma1=0111$

Το κύκλωμα υπολογίζει το άθροισμα $0011+0100=00111$

2. Θέτοντας τις παρακάτω εισόδους στον Παράλληλο Δυαδικό Αθροιστή/Αφαιρέτη:
 $C0=0$, $a4a3a2a1=1100$ και $b4b3b2b1=1001$

οι εισοδοί του Παράλληλου Αθροιστή είναι:

$C0=0$, $A4A3A2A1=1100$ και $B4B3B2B1=1001$

Τότε οι έξοδοι του κυκλώματος είναι: $C4=1$ και $\Sigma4\Sigma3\Sigma2\Sigma1=0101$

Το κύκλωμα υπολογίζει το άθροισμα $1100+1001=10101$

3. Θέτοντας τις παρακάτω εισόδους στον Παράλληλο Δυαδικό Αθροιστή/Αφαιρέτη:
 $C0=1$, $a4a3a2a1=1100$ και $b4b3b2b1=1001$

οι εισοδοί του Παράλληλου Αθροιστή είναι:

$C0=1$, $A4A3A2A1=1100$ και $B4B3B2B1=0110$

Τότε οι έξοδοι του κυκλώματος είναι: $C4=1$ και $\Sigma4\Sigma3\Sigma2\Sigma1=0011$

Το κύκλωμα υπολογίζει τη διαφορά $1100-1001=0011$

4. Θέτοντας τις παρακάτω εισόδους στον Παράλληλο Δυαδικό Αθροιστή/Αφαιρέτη:
 $C0=1$, $a4a3a2a1=1001$ και $b4b3b2b1=1100$

οι εισοδοί του Παράλληλου Αθροιστή είναι:

$C0=1$, $A4A3A2A1=1001$ και $B4B3B2B1=0011$

Τότε οι έξοδοι του κυκλώματος είναι: $C4=0$ και $\Sigma4\Sigma3\Sigma2\Sigma1=1101$

Το κύκλωμα υπολογίζει το συμπλήρωμα ως προς 2 της διαφοράς $1100-1001=0011$

Πράγματι:

$\sigma-1$ του $0011 = 1100$ και $\sigma-2$ του $0011 = \sigma-1$ του $0011 + 1 = 1100 + 1 = 1101$

Παράδειγμα 5.

Υλοποίηση Συνδυαστικού Κυκλώματος με Αποκωδικοποιητή

Κάθε συνδυαστικό κύκλωμα μπορεί να υλοποιηθεί χρησιμοποιώντας Αποκωδικοποιητή και πύλες NAND.

Υλοποίηση κυκλώματος παραγωγής bit άρτιας ισοτιμίας με Αποκωδικοποιητή

Το κύκλωμα έχει τρεις εισόδους A, B και C και μία έξοδο Y (bit άρτιας ισοτιμίας) που είναι τέτοιο ώστε το πλήθος των "1" των A, B, C και Y να είναι άρτιος αριθμός.

Ο Πίνακας Αληθείας του προβλήματος είναι ο ακόλουθος:

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Η συνάρτηση εξόδου Y του κυκλώματος είναι: $Y=A\oplus B\oplus C=\Sigma(1,2,4,7)$

Ολοκληρωμένα Κυκλώματα

- Αποκωδικοποιητής/Αποπλέκτης (74138)
- πύλες NAND4 (7420)

Σύνδεση

74138	
pin	connection
1	από switch A
2	από switch B
3	από switch C
4	0
5	0
6	1
7	στο pin 5 του 7420
8	GND
9	
10	
11	στο pin 4 του 7420
12	
13	στο pin 2 του 7420
14	στο pin 1 του 7420
15	
16	Vcc

7420	
pin	connection
1	από pin 14 του 74138
2	από pin 13 του 74138
3	NC
4	από pin 11 του 74138
5	από pin 7 του 74138
6	σε led Y
7	GND
8	
9	
10	
11	NC
12	
13	
14	Vcc

DM74LS00

Quad 2-Input NAND Gate

General Description

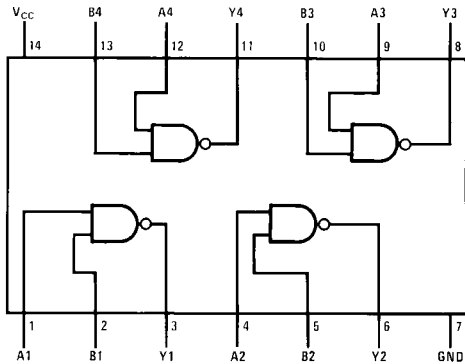
This device contains four independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS02

Quad 2-Input NOR Gate

General Description

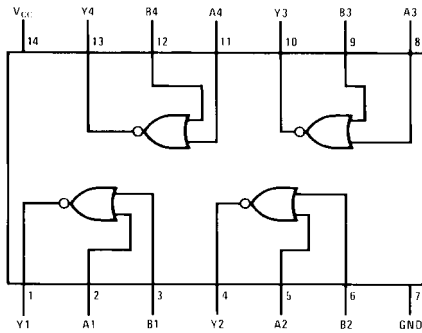
This device contains four independent gates each of which performs the logic NOR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS02M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS02SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS02N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{A + B}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS04 Hex Inverting Gates

General Description

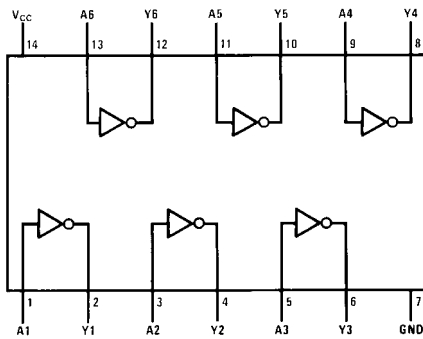
This device contains six independent gates each of which performs the logic INVERT function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS04M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS04SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS04N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \bar{A}$$

Input A	Output Y
L	H
H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS08

Quad 2-Input AND Gates

General Description

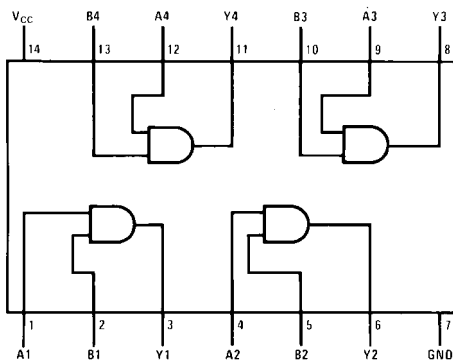
This device contains four independent gates each of which performs the logic AND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS08M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS08SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS08N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

DM74LS11

Triple 3-Input AND Gate

General Description

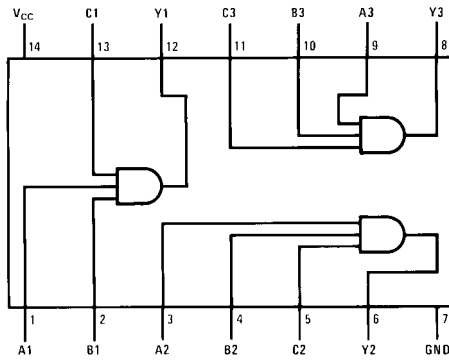
This device contains three independent gates each of which performs the logic AND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS11M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS11N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = ABC$$

Inputs			Output
A	B	C	Y
X	X	L	L
X	L	X	L
L	X	X	L
H	H	H	H

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

DM74LS20

Dual 4-Input NAND Gate

General Description

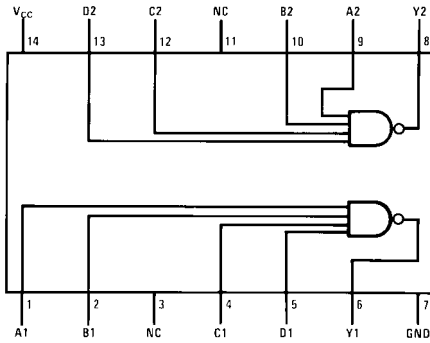
This device contains two independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS20M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS20N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{ABCD}$$

Inputs				Output
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

DM74LS27

Triple 3-Input NOR Gate

General Description

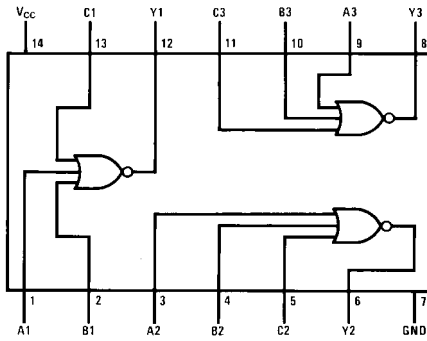
This device contains three independent gates each of which performs the logic NOR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS27M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS27N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{A + B + C}$$

Inputs			Output
A	B	C	Y
L	L	L	H
X	X	H	L
X	H	X	L
H	X	X	L

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

DM74LS32

Quad 2-Input OR Gate

General Description

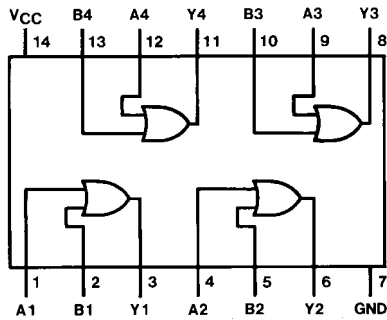
This device contains four independent gates each of which performs the logic OR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS32M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS32SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS32N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

DM74LS74A

Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

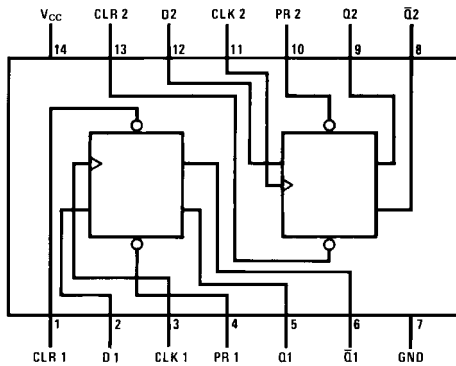
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is LOW or HIGH without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS85ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

H = HIGH Logic Level

X = Either LOW or HIGH Logic Level

L = LOW Logic Level

↑ = Positive-going Transition

Q_0 = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

DM74LS83A 4-Bit Binary Adder with Fast Carry

General Description

These full adders perform the addition of two 4-bit binary numbers. The sum (Σ) outputs are provided for each bit and the resultant carry (C4) is obtained from the fourth bit. These adders feature full internal look ahead across all four bits. This provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

The adder logic, including the carry, is implemented in its true form meaning that the end-around carry can be accomplished without the need for logic or level inversion.

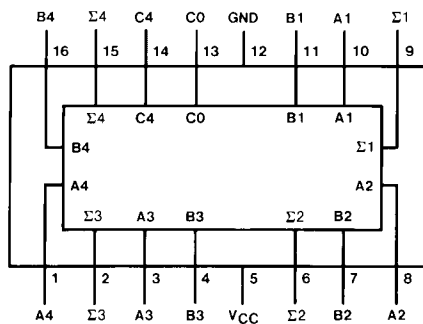
Features

- Full-carry look-ahead across the four bits
- Systems achieve partial look-ahead performance with the economy of ripple carry
- Typical add times
 - Two 8-bit words 25 ns
 - Two 16-bit words 45 ns
- Typical power dissipation per 4-bit adder 95 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS83AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Connection Diagram



DM74LS85 4-Bit Magnitude Comparator

General Description

These 4-bit magnitude comparators perform comparison of straight binary or BCD codes. Three fully-decoded decisions about two, 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The $A > B$, $A < B$, and $A = B$ outputs of a stage handling less-significant bits are connected to the corresponding inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the $A = B$ input. The cascading path is implemented with only a two-gate-level delay to reduce overall comparison times for long words.

Features

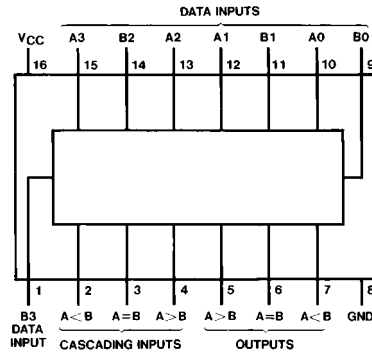
- Typical power dissipation 52 mW
- Typical delay (4-bit words) 24 ns

Ordering Code:

Order Number	Package Number	Package Description
DM74LS85M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS85N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

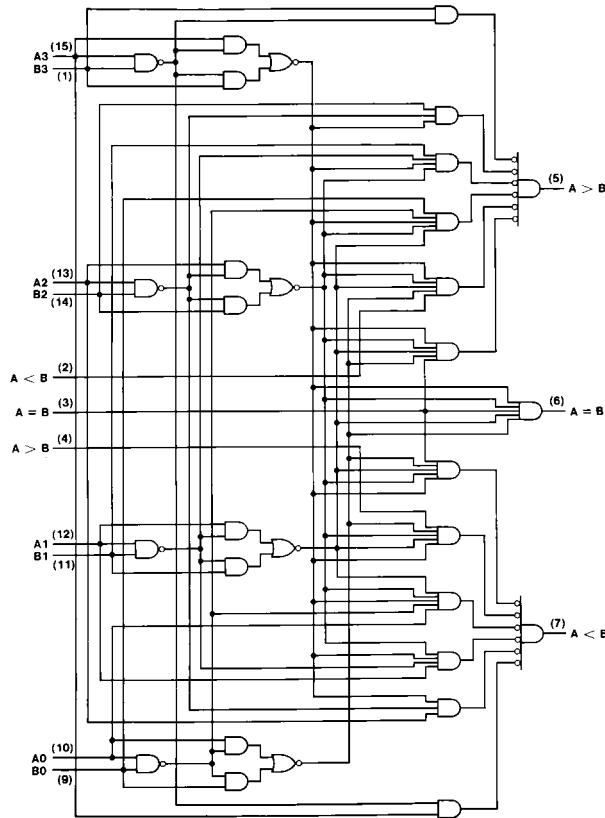


Function Table

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

H = HIGH Level, L = LOW Level, X = Don't Care

Logic Diagram



DM74LS86

Quad 2-Input Exclusive-OR Gate

General Description

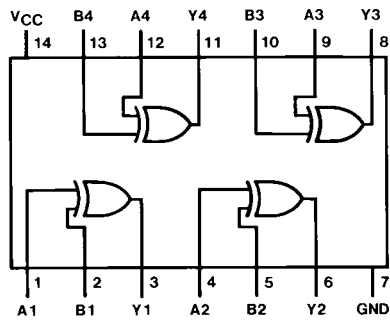
This device contains four independent gates each of which performs the logic exclusive-OR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS86M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS86SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS86N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS112A

Dual Negative-Edge-Triggered Master-Slave J-K Flip-Flop with Preset, Clear, and Complementary Outputs

General Description

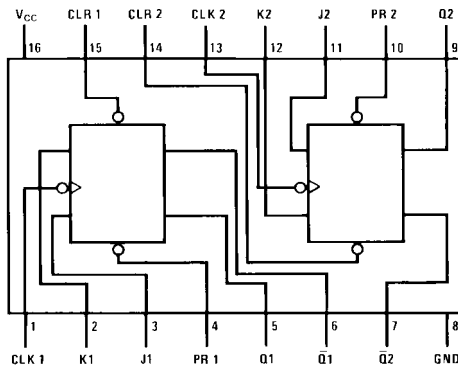
This device contains two independent negative-edge-triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flop on the falling edge of the clock pulse. The clock triggering occurs at a voltage level and is not directly related to the transition time of the falling edge of the clock pulse. Data on the J and K inputs may be changed while the clock is HIGH or LOW without affecting the outputs as long as the setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM74KS112AM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS112AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H (Note 1)	H (Note 1)
H	H	↓	L	L	Q ₀	Q̄ ₀
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	
H	H	H	X	X	Q ₀	Q̄ ₀

H = HIGH Logic Level

L = LOW Logic Level

X = Either LOW or HIGH Logic Level

↓ = Negative Going Edge of Pulse

Q₀ = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each falling edge of the clock pulse.

Note 1: This configuration is nonstable; that is, it will not persist when preset and/or clear inputs return to their inactive (HIGH) level.

DM74LS138 • DM74LS139 Decoder/Demultiplexer

General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The DM74LS138 decodes one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The DM74LS139 comprises two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design.

Features

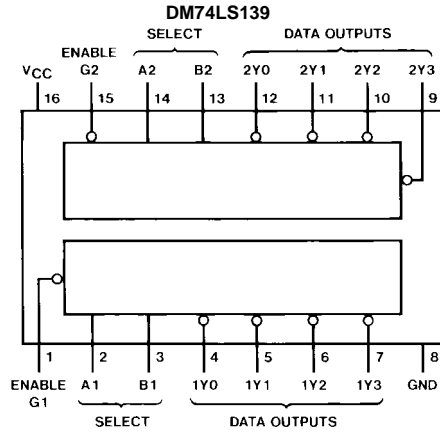
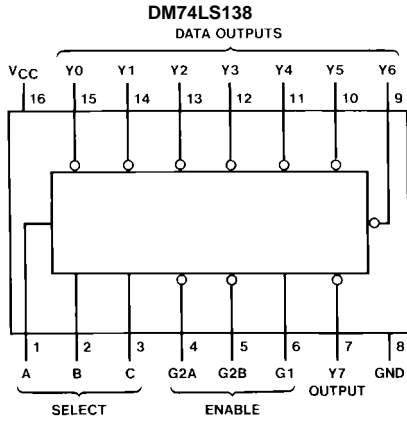
- Designed specifically for high speed:
 - Memory decoders
 - Data transmission systems
- DM74LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
- DM74LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
- Typical propagation delay (3 levels of logic)
 - DM74LS138 21 ns
 - DM74LS139 21 ns
- Typical power dissipation
 - DM74LS138 32 mW
 - DM74LS139 34 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS138M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS138SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS138N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
DM74LS139M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS139SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS139N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagrams



Function Tables

DM74LS138

Inputs			Outputs											
Enable		Select												
G1	G2 (Note 1)	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7		
X	H	X	X	X	H	H	H	H	H	H	H	H		
L	X	X	X	X	H	H	H	H	H	H	H	H		
H	L	L	L	L	L	H	H	H	H	H	H	H		
H	L	L	L	H	H	L	H	H	H	H	H	H		
H	L	L	H	L	H	H	L	H	H	H	H	H		
H	L	L	H	H	H	H	H	L	H	H	H	H		
H	L	L	L	L	H	H	H	H	L	H	H	H		
H	L	H	L	H	H	H	H	H	H	L	H	H		
H	L	H	H	L	H	H	H	H	H	H	L	H		
H	L	H	H	H	H	H	H	H	H	H	H	L		

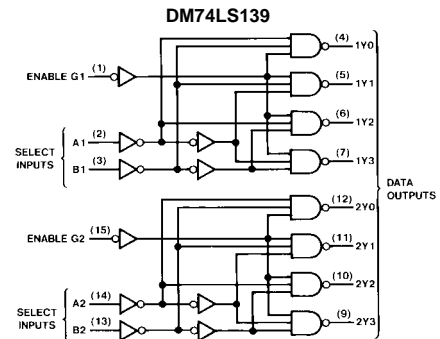
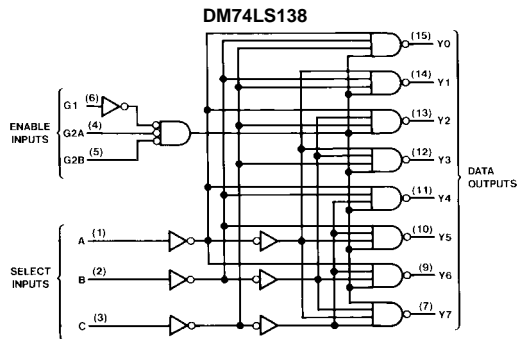
DM74LS139

Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = HIGH Level
L = LOW Level
X = Don't Care

Note 1: G2 = G2A + G2B

Logic Diagrams



MM74HC148

8-3 Line Priority Encoder

General Description

The MM74HC148 priority encoder utilizes advanced silicon-gate CMOS technology. It has the high noise immunity and low power consumption typical of CMOS circuits, as well as the speeds and output drive similar to LB-TTL.

This priority encoder accepts 8 input request lines 0–7 and outputs 3 lines A0–A2. The priority encoding ensures that only the highest order data line is encoded. Cascading circuitry (enable input EI and enable output EO) has been provided to allow octal expansion without the need for external circuitry. All data inputs and outputs are active at the low logic level.

All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

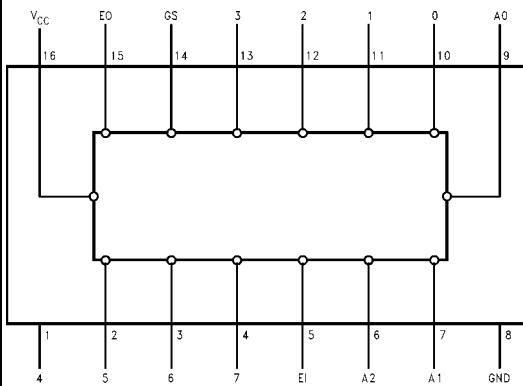
Features

- Typical propagation delay: 13 ns
- Wide supply voltage range: 2V–6V

Ordering Code:

Order Number	Package Number	Package Description
MM74HC148M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC148N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagram



Truth Table

EI	Inputs							Outputs					
	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

H = HIGH
L = LOW
X = Irrelevant

DM74LS151

1-of-8 Line Data Selector/Multiplexer

General Description

This data selector/multiplexer contains full on-chip decoding to select the desired data source. The DM74LS151 selects one-of-eight data sources. The DM74LS151 has a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output HIGH, and the Y output LOW.

The DM74LS151 features complementary W and Y outputs.

Features

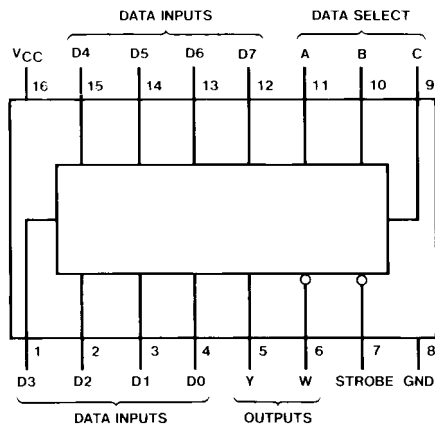
- Select one-of-eight data lines
- Performs parallel-to-serial conversion
- Permits multiplexing from N lines to one line
- Also for use as Boolean function generator
- Typical average propagation delay time data input to W output 12.5 ns
- Typical power dissipation 30 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS151M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS151SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS151N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Truth Table

Inputs				Outputs	
Select			Strobe S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H = HIGH Level
L = LOW Level
X = Don't Care
D0, D1...D7 = the level of the respective D input

DM74LS154 4-Line to 16-Line Decoder/Demultiplexer

General Description

Each of these 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive outputs when both the strobe inputs, G1 and G2, are LOW. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input LOW. When either strobe input is HIGH, all outputs are HIGH. These demultiplexers are ideally suited for implementing high-performance memory decoders. All inputs are buffered and input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design.

Features

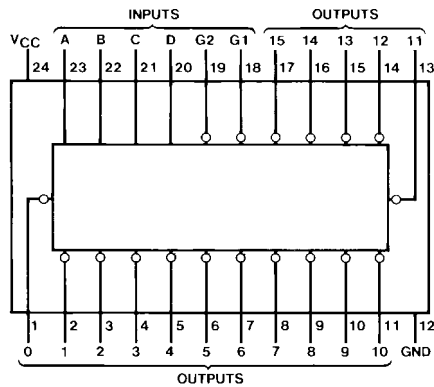
- Decodes 4 binary-coded inputs into one of 16 mutually exclusive outputs
- Performs the demultiplexing function by distributing data from one input line to any one of 16 outputs
- Input clamping diodes simplify system design
- High fan-out, low-impedance, totem-pole outputs
- Typical propagation delay
 - 3 levels of logic 23 ns
 - Strobe 19 ns
- Typical power dissipation 45 mW

Ordering Code:

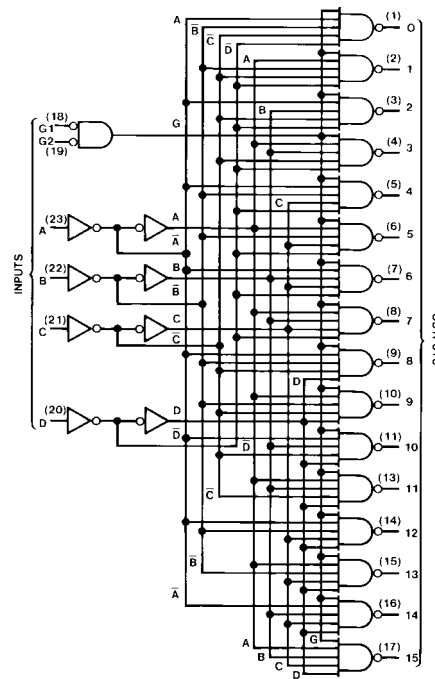
Order Number	Package Number	Package Description
DM74LS154WM	M24B	24-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
DM74LS154N	N24A	24-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-010, 0.600 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Logic Diagram



Function Table

Inputs		Outputs																				
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = HIGH Level
 L = Low Level
 X = Don't Care

DM74LS193 Synchronous 4-Bit Binary Counter with Dual Clock

General Description

The DM74LS193 circuit is a synchronous up/down 4-bit binary counter. Synchronous operation is provided by having all flip-flops clocked simultaneously, so that the outputs change together when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple-clock) counters.

The outputs of the four master-slave flip-flops are triggered by a LOW-to-HIGH level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed while the other count input is held HIGH.

The counter is fully programmable; that is, each output may be preset to either level by entering the desired data at the inputs while the load input is LOW. The output will change independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

A clear input has been provided which, when taken to a high level, forces all outputs to the low level; independent

of the count and load inputs. The clear, count, and load inputs are buffered to lower the drive requirements of clock drivers, etc., required for long words.

These counters were designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up and down counting functions. The borrow output produces a pulse equal in width to the count down input when the counter underflows.

Similarly, the carry output produces a pulse equal in width to the count down input when an overflow condition exists. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count down and count up inputs respectively of the succeeding counter.

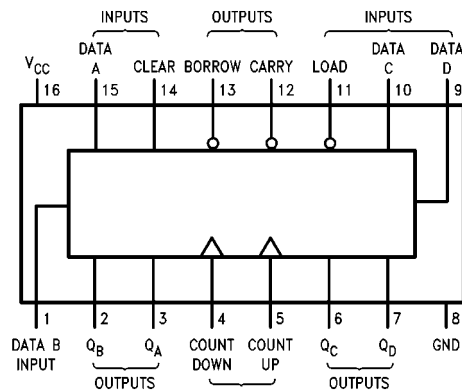
Features

- Fully independent clear input
- Synchronous operation
- Cascading circuitry provided internally
- Individual preset each flip-flop

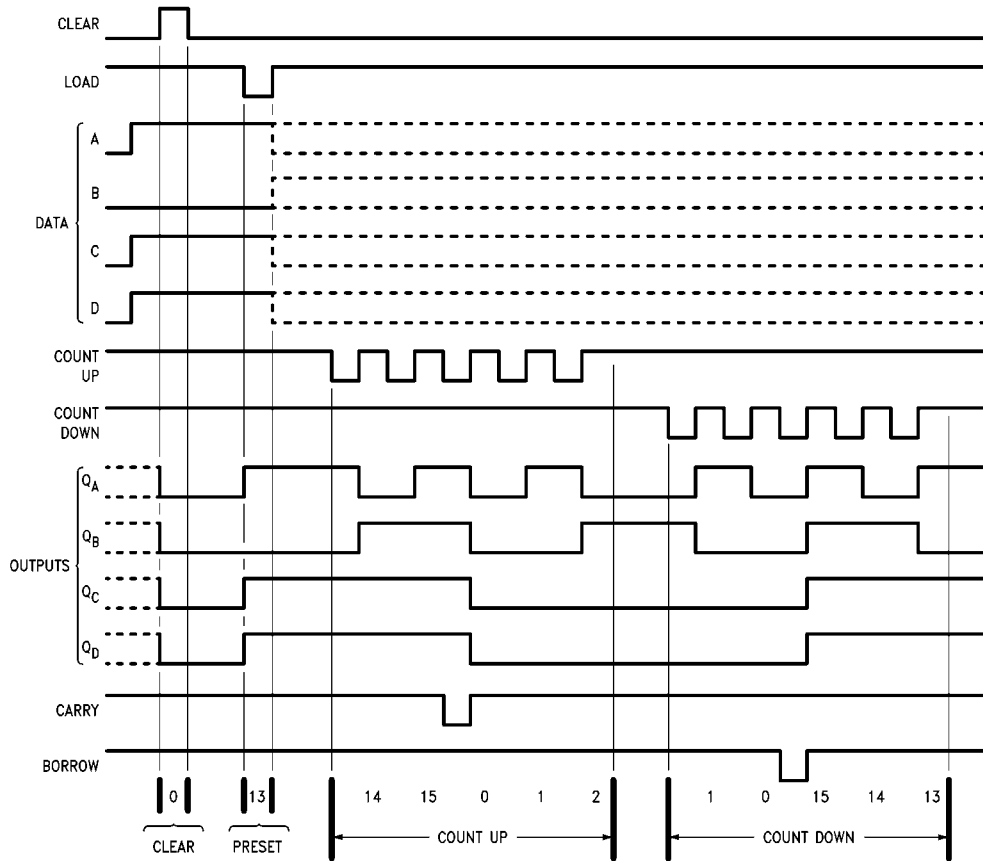
Ordering Code:

Order Number	Package Number	Package Description
DM74LS193M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
DM74LS193N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagram



Timing Diagram



Note A: Clear overrides load, data, and count inputs

Note B: When counting up, count-down input must be HIGH; when counting down, count-up input must be HIGH.

DM74LS194A 4-Bit Bidirectional Universal Shift Register

General Description

This bidirectional shift register is designed to incorporate virtually all of the features a system designer may want in a shift register; they feature parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode-control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

- Parallel (broadside) load
- Shift right (in the direction Q_A toward Q_D)
- Shift left (in the direction Q_D toward Q_A)
- Inhibit clock (do nothing)

Synchronous parallel loading is accomplished by applying the four bits of data and taking both mode control inputs, S_0 and S_1 , HIGH. The data is loaded into the associated flip-flops and appear at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S_0 is HIGH and S_1 is LOW. Serial data for this mode is entered at the shift-right data input. When S_0 is LOW and S_1 is HIGH, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are LOW.

Features

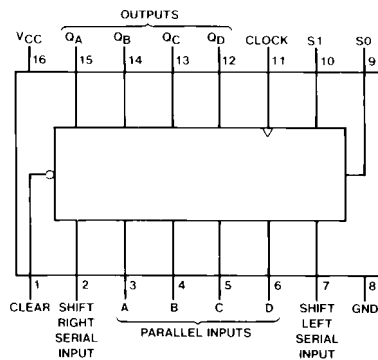
- Parallel inputs and outputs
- Four operating modes:
 - Synchronous parallel load
 - Right shift
 - Left shift
 - Do nothing
- Positive edge-triggered clocking
- Direct overriding clear

Ordering Code:

Order Number	Package Number	Package Description
DM74LS194AM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS194AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

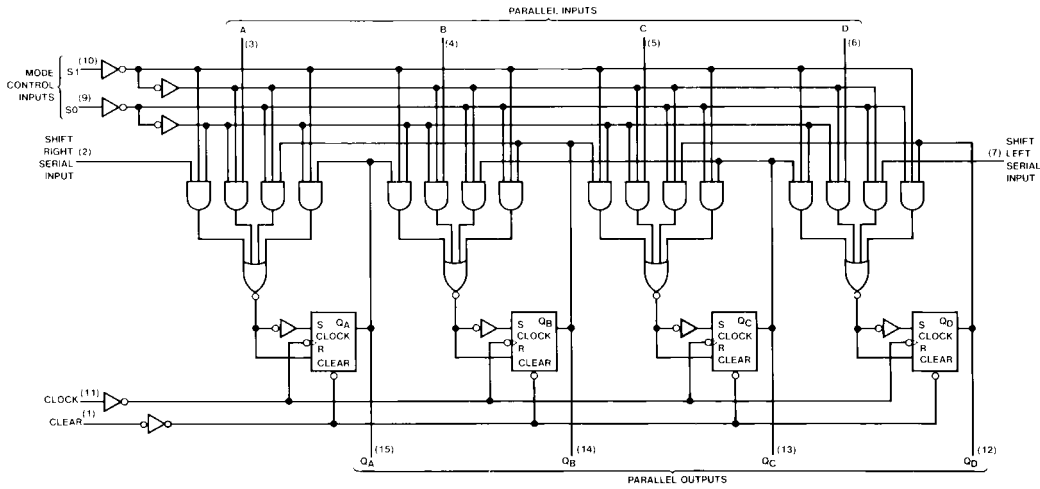


Function Table

Clear	Mode		Clock	Inputs				Outputs					
				Serial		Parallel		Q _A	Q _B	Q _C	Q _D		
	Left	Right		A	B	C	D						
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
H	H	L	↑	H	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

H = HIGH Level (steady state)
 L = LOW Level (steady state)
 X = Don't Care (any input, including transitions)
 ↑ = Transition from LOW-to-HIGH level
 a, b, c, d = The level of steady state input at inputs A, B, C or D, respectively.
 Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} = The level of Q_A, Q_B, Q_C, or Q_D, respectively, before the indicated steady state input conditions were established.
 Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} = The level of Q_A, Q_B, Q_C, respectively, before the most-recent ↑ transition of the clock.

Logic Diagram



DM74LS266

Quad 2-Input Exclusive-NOR Gate with Open-Collector Outputs

General Description

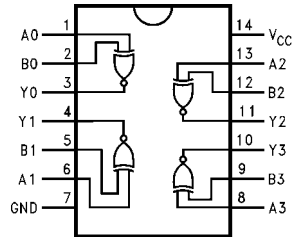
This device contains four independent gates each of which performs the logic exclusive-NOR function. Outputs are open collector.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS266M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS266N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Truth Table

Inputs		Outputs
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	H

H = HIGH Voltage Level
L = LOW Voltage Level